

DRAM memory cell field with numerous cells for unit signals - has specified foreign atom. concentration in section coupled to capacitor

Patent Number: DE4034169
 Publication date: 1991-05-02
 Inventor(s): OGOH IKUO (JP); NAGATOMO MASAO (JP)
 Applicant(s): MITSUBISHI ELECTRIC CORP (JP)
 Requested Patent: DE4034169
 Application Number: DE19904034169 19901026
 Priority Number(s): JP19900238790 19900906; JP19890281409 19891026
 IPC Classification: H01L21/72; H01L27/108
 EC Classification: H01L27/108F2; H01L21/8242B2
 Equivalents:

Abstract

The cells each consists of a transmission transistor (10) and a capacitor (11), while the DRAM contains a peripheral circuit with an MOS transistor (45a) with an LDD structure. At least the source-drain region (19) of the transmission transistor, coupled to the capacitor, is formed by a foreign atom region (19a) of low concentration. The foreign atom region has a concentration equal to that of the source-drain region (31) of the LDD-MOS transistor. The low concentration source-drain region of the transmission transistor is formed by masking technique, protecting a high concentration source-drain region of the MOS transistor during ion implantation.

ADVANTAGE - Improved recovery of dram memory cell with suppression of stored charge leakage.

Data supplied from the esp@cenet database - l2

Description

Die vorliegende Erfindung bezieht sich auf einen DRAM (Dynamischer Direktzugriffsspeicher) mit einem Speicherzellenfeld und auf ein Herstellungsverfahren dafür. Insbesondere betrifft die Erfindung einen DRAM, bei dem die Speicherzellen einen Transistor und einen Kondensator aufweisen.

Unter Bezugnahme auf das Blockschaltbild in Fig. 13 soll die Schaltungsanordnung eines allgemeinen dynamischen Halbleiterspeichers beschrieben werden. Der dort gezeigte DRAM weist ein Speicherzellenfeld 1 mit einer Mehrzahl von auf eine Matrixweise zum Speichern von Einheitsspeicherinformation angeordneten Speicherzellen auf. Er weist weiterhin als periphere Schaltungen einen Zeilen- und Spaltenadresspuffer zum Aufnehmen von von extern angelegten Adresssignalen (A0-A9 für den Fall von 1 Mbit) zum Auswählen einer Speicherzelle, einen Zeilendecodierer 3 und einen Spaltendecodierer 4 zum Spezifizieren einer Speicherzelle durch Decodieren des Adresssignales, einen Leseauffrischverstärker 5 zum Verstärken und Auslesen des in der spezifizierten Speicherzelle gespeicherten Signales, einen Eingangsdatenpuffer 6 und einen Ausgangsdatenpuffer 7 für den Dateneingang und -ausgang und einen Taktgenerator 8 zum Erzeugen von Taktsignalen PHI 1 und PHI 2 auf. Der Taktgenerator 8 ist so ausgelegt, dass er ein von aussen angelegtes Zeilenadresstaktsignal und ein Spaltenadresstaktsignal empfängt.

Fig. 14 zeigt ein Ersatzschaltbild einer Speicherzelle aus dem Speicherzellenfeld 1. Die Speicherzelle 9 ist aus einem Übertragungsgatetransistor 10 und einem Kondensator 11 gebildet. Die Gateelektrode des Übertragungsgatetransistors 10 ist mit einer Wortleitung 12 verbunden, dagegen ist einer der Source- und Drainbereiche mit einer Bitleitung 13 verbunden und der andere mit einer Elektrode des Kondensators 11.

Der DRAM speichert Daten gemäss des Vorhandenseins oder der Abwesenheit einer Signalladung in dem Kondensator der Speicherzelle. Die Bestimmung des Vorhandenseins oder der Abwesenheit von Daten wird dadurch ausgeführt, indem jede Wortleitung zum Auswählen einer Speicherzelle spezifiziert wird, durch Auslesen eines kleinen Signales auf der Bitleitung in Abhängigkeit von dem Vorhandensein oder der Abwesenheit einer Signalladung in dem Kondensator der ausgewählten Speicherzelle und durch Verstärken desselben durch einen Leseverstärker. In dem Speicherzellenkondensator gespeicherte Signalladung verteilt sich aufgrund von Störungen wie Leckströme, nachdem einige Zeit vergangen ist. Es ist daher notwendig, die in jeder Speicherzelle gespeicherte Information periodisch zum Aufrechterhalten der gespeicherten Daten auf den neuesten Stand zu bringen. Die Schalttätigkeit für diesen Zweck wird

Auffrischtätigkeit genannt. Insbesondere wird, wie in den Fig. 13 und 14 gezeigt ist, die Auffrischtätigkeit ausgeführt, indem das kleine Signal aus der Speicherzelle mit einem für jede Bitleitung vorgesehenen Leseverstärker verstärkt wird, nachdem ein Wortleitung zum Aktivieren der mit dieser Wortleitung verbundenen Speicherzellen ausgewählt ist, und durch Wiedereinschreiben desselben in die Speicherzelle. Durch das Ausführen der oben beschriebenen Auffrischtätigkeit in Bezug auf alle Wortleitungen, wobei die Zeilenadressen nacheinander durchlaufen werden, wird die gesamte Information innerhalb des Speicherzellenfeldes auf den neuesten Stand gebracht. Es ist notwendig, die Auffrischtätigkeit in einem Zeitabschnitt zu wiederholen, der kürzer ist als der Zeitabschnitt, für den die Signalladung in der Speicherzelle gehalten wird. Je kürzer die Haltezeit der Signalladung ist, desto grösser ist die Zahl der Auffrischtätigkeiten, die sogenannte Auffrischdivisionszahl.

Fig. 15 zeigt eine Schnittansicht der in Fig. 14 gezeigten Speicherzelle 9. Dort ist ein dicker Feldoxidfilm 15 zum Trennen der Einrichtung auf der Oberfläche eines Halbleitersubstrates 14 gebildet. Auf der Oberfläche des Halbleitersubstrates 14 sind eingeschlossen von dem Feldoxidfilm 15 der Übertragungsgatetransistor 10 und der Kondensator 11 gebildet.

Der Übertragungsgatetransistor 10 ist mit einer über der Oberfläche des Halbleitersubstrates 14 gebildeten Gateelektrode (Wortleitung) 12 versehen, wobei ein Gateoxidfilm 16 zwischen dem Substrat und der Gateelektrode vorgesehen ist. Der Umfang der Gateelektrode 12 ist durch einen Siliziumoxidfilm 17 zur Isolierung bedeckt. Insbesondere ist der an den Seiten der Gateelektrode 12 gebildete Siliziumoxidfilm 17 als sogenannte Seitenwandanordnung gebildet. Innerhalb des Halbleitersubstrates 14 sind n-Fremdatombereiche 18a und 19a niedriger Konzentration in einer Position, die selbstausgerichtet ist, mit der Gateelektrode 12 gebildet. Ebenfalls sind n-Fremdatombereiche 18b und 19b hoher Konzentration an einer Position, die selbstausgerichtet ist, mit den Seitenwänden des Siliziumoxidfilmes 17 gebildet. Die sogenannte LDD-(Lightly Doped Drain)-Anordnung ist durch diese n-Fremdatombereiche 18a und 19a und die n-Fremdatombereiche 18b und 19b gebildet. Die Fremdatombereiche dieser LDD-Anordnung werden zu den Source- und Drainbereichen 18 und 19.

Der Kondensator 11 weist eine übereinandergeschichtete bzw. gestapelte Anordnung aus einer mit Fremdatomen dotierten unteren Elektrode 20, einem durch einen Siliziumnitridfilm, Siliziumoxidfilm oder einen Vielschichtfilm, wie ein Siliziumnitridfilm und ein Siliziumoxidfilm, gebildeten dielektrischen Film 21 und einer aus Polysilizium mit Fremdatomdotierung gebildeten oberen Elektrode 22 auf. Die untere Elektrode 20 des Kondensators 11 ist über der Gateelektrode 12 des Übertragungsgatetransistors 10 gebildet. Ein Abschnitt der unteren Elektrode 20 ist mit einem der n-Source- oder -Drainbereiche 19b des Übertragungsgatetransistors 10 verbunden. Ein derartiger Kondensator 11 mit einer Anordnung, bei der ein Abschnitt über einem Übertragungsgatetransistor 10 gebildet ist, wird gestapelter oder geschichteter Kondensator genannt, während DRAMs mit derartigen Kondensatoren DRAMs vom Stapeltyp genannt werden.

Obwohl es nicht gezeigt ist, sind MOS-(Metal Oxide Semiconductor)-Transistoren mit der obigen LDD-Anordnung in den peripheren Schaltungen benutzt.

Die Auswirkung der LDD-Anordnung eines MOS-Transistors wird im folgenden beschrieben. Der Einsatz der LDD-Anordnung wurde durch das Fortschreiten der hohen Integration bei DRAMs verursacht. Die Struktur der MOS-Transistoren wurde klein wegen der hohen Integration des DRAMs, wodurch Kurzkanaleffekte erzeugt wurden, die verschiedene Probleme aufwarfen. Die Intensität des elektrischen Feldes in dem Kanalbereich wurde wegen des kurzen Kanals erhöht, so dass heisse Ladungsträger in der Nähe des Drains erzeugt wurden. Diese werden innerhalb des Gateoxidfilmes gefangen und erzeugen Oberflächenniveaus. Dadurch wird eine Verschlechterung der Eigenschaften, wie eine Veränderung der Schwellenspannung und der Abnahme der gegenseitigen Leitung verursacht. Eine LDD-Anordnung mit einem n-Fremdatombereich von niedriger Konzentration und einem n-Fremdatombereich einer hohen Konzentration, die gegeneinander versetzt gebildet sind, wurde zum Verhindern der Eigenschaftsänderungen vorgeschlagen, die durch die heissen Ladungsträger verursacht wurden. Der n-Fremdatombereich niedriger Konzentration in der LDD-Anordnung verringert die elektrische Feldintensität zum Unterdrücken der Erzeugung von heissen Ladungsträgern, indem die Schärfe des Überganges des pn-Überganges vermindert wurde. Es ist notwendig, dass dieser n-Fremdatombereich niedriger Konzentration die Diffusionsbreite und die Fremdatomkonzentration sehr genau steuert.

Unter Bezugnahme auf die Fig. 16A bis 16I wird das Herstellungsverfahren für einen DRAM genauer erläutert. Derartige Herstellungsschritte für einen solchen DRAM sind in der JP-OS 63-44 756 zum Beispiel gezeigt. Zur Erleichterung der Beschreibung werden eine Speicherzelle 9 und der CMOS-Transistor (komplementärer MOS: im folgenden als CMOS beschrieben), die einen Abschnitt der peripheren Schaltung darstellen, als Beispiel genommen.

Wie in Fig. 16A gezeigt ist, wird der Feldoxidfilm 15 auf der Oberfläche des Halbleitersubstrates 14 durch das LOCOS-(Local Oxidation of Silicon)-Verfahren gebildet. In dem peripheren Schaltungsbereich des Halbleitersubstrates 14 sind zuvor ein p-Wannenbereich 23 und ein n-Wannenbereich 24 für die n-Kanal-MOS-(im folgenden als nMOS bezeichnet) und die p-Kanal-MOS-(im folgenden als pMOS bezeichnet)-Bildung gebildet, wodurch ein CMOS erzielt wird.

Wie in Fig. 16B gezeigt ist, werden ein dünner Siliziumoxidfilm und eine Polysiliziumschicht in dieser Reihenfolge auf der Oberfläche des Halbleitersubstrates 14 gebildet. Auf der Oberfläche der Polysiliziumschicht werden Oxidfilme 17 und 27 gebildet. Dann wird ein vorbestimmtes Muster unter Benutzung eines Lithographie- und Ätzverfahrens gebildet.

So wird eine Speicherzelle darstellender nMOS-Gateoxidfilm 16, eine Gateelektrode 12, ein nMOS- und pMOS-Gateoxidfilm 25a und 25b, die die periphere Schaltung bilden, und Gateelektroden 26a und 26b gebildet.

Nachdem mit einem Photolack 29a der pMOS-Bereich der peripheren Schaltung bedeckt ist, werden Phosphor-(P)-Ionen oder Arsen-(As)-Ionen 30a einer niedrigen Konzentration in die Oberfläche des Substrates implantiert. Durch diesen Ionenimplantationsschritt wird bewirkt, dass n-Fremdatombereiche 18a und 19a des Übertragungsgatetransistors 10 der Speicherzelle und ein n-Fremdatombereich 31 des nMOS-Transistors der peripheren Schaltung gebildet werden.

Nachdem ein Oxidfilm über dem gesamten Substrat abgeschieden ist, wird dieser Oxidfilm anisotrop geätzt, wie es in Fig. 16D gezeigt ist. Dadurch werden Seitenwände 17a und 27a des Oxidfilmes an den Seitenwänden der Gateelektrode 12 des Übertragungsgatetransistors 10 und der Gateelektrode 26a des nMOS-Transistors der peripheren Schaltung gebildet.

Unter Benutzung dieser Seitenwände 17a und 27a des Oxidfilmes werden n-Fremdatomionen 30b, wie Arsen (As) oder Phosphor (P) hoher Konzentration in die Oberfläche des Substrates implantiert. Durch diese Ionenimplantation werden n-Fremdatombereiche 18b und 19b des Übertragungsgatetransistors 10 und ein n-Fremdatombereich 33 des nMOS-Transistors der peripheren Schaltung gebildet.

Durch die oben aufgeführten Schritte wird die LDD-Anordnung des Übertragungsgatetransistors 10 der Speicherzelle und die LDD-Anordnung des nMOS-Transistors der peripheren Schaltung eingebaut.

Wie in Fig. 16E gezeigt ist, bedeckt ein Photolack 29b die Oberfläche der Speicherzelle und des nMOS-Transistorbereiches der peripheren Schaltung, darauf folgt Implantieren von p-Typ-Fremdatomionen 32 hoher Konzentration, wie Bor (B, BF₂) in die Oberfläche des Substrates durch die Seitenwände 27a der Gateelektrode 26b. Durch diesen Ionenimplantierenden Schritt werden p-Fremdatombereiche 35 und 35 eines pMOS-Transistors gebildet. Somit wird der pMOS-Transistor der peripheren Schaltung durch die obigen Schritte gebildet.

Als nächstes werden die Herstellungsschritte des Kondensators 11 der Speicherzelle erläutert. Wie in Fig. 16F gezeigt ist, wird ein Zwischenschichtfilm 41 unter Benutzung des CVD-(Chemical Vapor Deposition)-Verfahrens auf der Oberfläche des Substrates, in der Gateelektroden und ähnliches des Transistors gebildet sind, abgeschieden. Danach wird der Zwischenschicht 41 unter Benutzung von Lithographie- und Ätzverfahren zum Bilden eines Kontaktbereiches bemustert, wobei der Kontaktbereich die untere Elektrode 20 des Kondensators mit dem Substrat verbindet.

Dann wird, wie in Fig. 16G gezeigt ist, Polysilizium unter Benutzung des CVD-Verfahrens abgeschieden. Es ist notwendig, das Polysilizium mit n-Typ-Fremdatomen zu dotieren, damit es elektrisch leitfähig wird. Diese werden durch Dotieren mit einem Gas, wie Phosphin (PH₃), zu dem Zeitpunkt des CVD-Schrittes, oder durch Implantieren und Eintreiben von Phosphor (P) oder Arsen (As) unter Benutzung des Ionenimplantationsverfahren nach dem Abscheiden des Polysiliums oder nach dem vorbestimmten Bemustern eingeführt. Dann wird die untere Elektrode 20 des Kondensators 11 durch Bemustern dieser Polysiliziumschicht gebildet.

Wie in Fig. 16H gezeigt ist, wird ein auf einem Siliziumnitridfilm, Siliziumoxidfilm oder einem aus diesen zusammengesetzten Film gebildeter dielektrischer Kondensatorfilm 21 unter Benutzung des CVD-Verfahrens gebildet. Eine dotierte Polysiliziumschicht 22 wird darauf unter Benutzung des CVD-Verfahrens abgeschieden. Dann wird das Bemustern mit einem vorbestimmten Muster unter Benutzung des Photolithographie- und Ätzverfahrens ausgeführt. So wird der Kondensator 11 gebildet.

Wie in Fig. 16I gezeigt ist, wird ein isolierender Zwischenschichtfilm 40 über der Oberfläche des Substrates, wo Einrichtungen, wie Transistoren und Kondensatoren, gebildet sind, gebildet. Darauf wird ein vorbestimmter Bereich zum Bilden einer Bitleitung 13 geöffnet.

Nach dem Bilden eines zweiten isolierenden Zwischenschichtfilmes 42 wird ein vorbestimmter Bereich zum Bilden einer Verdrahtungsschicht 43 geöffnet.

So wird gemäss der obigen Schritte ein DRAM hergestellt, der einen Transistor mit der LDD-Anordnung aufweist.

Wie durch die obige Beschreibung ausgeführt ist, werden der Source- und Drainbereich 18 und 19 der LDD-Anordnung eines Übertragungsgatetransistors 10 der Speicherzelle in einem DRAM durch Ionenimplantation hergestellt. Wenn die n-Fremdatombereiche 18b und 19b hoher Konzentration durch das Ionenimplantierende Verfahren gebildet sind, sind viele Kristallfehlstellen in der Oberfläche des Halbleitersubstrates 14 gebildet. Die Kristallfehler werden zum Teil durch ein späteres Wärmeverfahren zur Aktivierung geheilt, aber nicht vollständig. In dem Fall, in dem die untere Elektrode 20 des Kondensators 11 über dem Source- und Drainbereich 19 gebildet ist, wo die Kristallfehler bleiben, geht die in dem Kondensator 11 gespeicherte Signalladung durch die Kristallfehler innerhalb des Source-Drain-Bereiches 19 und fließt zu der Substratseite und erzeugt Leckströme. Aufgrund der Verringerung der Kondensatorkapazität, die mit der Miniaturisierung der Einrichtungsstruktur in den letzten Jahren einherging, wurde das Verschwinden der Signalladung durch Leckströme aus dem Kondensator ein grosses Problem. Dadurch wird die Haltezeit der in den Speicherzellen gespeicherten Signalladung kürzer, dies führt zu den Problemen, dass eine Notwendigkeit zur Erhöhung der Zahl der

Auffrischtätigkeiten besteht.

Es gab ebenfalls ein Problem des schlechten Kontaktes zwischen dem Substrat 14 und der Bitleitung 13 oder der unteren Elektrode 20 des Kondensators 11. Dies wurde einer Vielfachoxidation eines Oxidfilmes durch einen Fremdatomeffekt zugeschrieben, die auf der Oberfläche des Halbleitersubstrates 14 erzeugt wurde, wo die Fremdatombereiche 18b und 19b hoher Konzentration gebildet sind, dieses wird durch in die CVD- Kammer eintretende Luft verursacht, die eintritt, wenn der Halbleiter in die Kammer eingeführt wird.

Ein Anlauf zum Unterdrücken des Auftretens von Leckströmen aus dem Kondensator ist in der JP-OS 64-80 065 gezeigt. Fig. 17 ist eine Schnittansicht des in der oben genannten Offenlegungsschrift gezeigten DRAMs. Wie in Fig. 17 gezeigt ist, ist die Schnittanordnung eines Speicherzellenfeldes und der peripheren Schaltungseinrichtungen gezeigt. Auf dem p-Typ- Siliziumsubstrat 15 sind ein p-Wannenbereich 14a und ein n-Wannenbereich 14b gebildet. Das Speicherzellenfeld und ein nMOS-Transistor 100 der peripheren Schaltung sind in dem p-Wannenbereich 14a gebildet, während ein pMOS-Transistor 110 in dem n-Wannenbereich 14b gebildet ist. Die das Speicherzellenfeld darstellende Speicherzelle ist aus einem Übertragungsgatetransistor 10 und einem Kondensator 11 zusammengesetzt, ähnlich wie die Speicherzelle in Fig. 15. Ein Vergleich der Anordnungen der zweiten Speicherzelle von Fig. 17 mit der ersten Speicherzelle von Fig. 15 zeigt, dass der Übertragungsgatetransistor 10 der zweiten Speicherzelle die sogenannte LDD-Anordnung aufweist, bei der ein n-Fremdatombereich 19a niedriger Konzentration durch Ionenimplantation des Source-/Drain-Bereiches 19 auf der mit dem Kondensator 11 verbundenen Seite gebildet ist, und ein n-Fremdatombereich 19b hoher Konzentration durch Wärmediffusion von Fremdatomen von der unteren Elektrode 20 des Kondensators 11 gebildet ist. Der Source-/Drainbereich 18 der mit der Bitleitung 13 verbundenen Seite weist die LDD-Anordnung auf, wobei ein n-Fremdatombereich 18a niedriger Konzentration durch Ionenimplantation gebildet ist und ein n-Fremdatombereich 18b hoher Konzentration ebenfalls durch Ionenimplantation hergestellt ist. Der Übertragungsgatetransistor 10 dieses Beispiels unterdrückt die Erzeugung von Kristallfehlern in der Oberfläche des Substrates durch Ionenimplantation zum Verringern der Erzeugung von Leckströmen aus dem Kondensator, indem ein Fremdatombereich 18b hoher Konzentration gebildet wird, ohne dass das Ionenimplantationsverfahren über dem Source-/Drain-Bereich 19 der mit dem Kondensator verbundenen Seite benutzt wird.

Die Bitleitung 13 wird durch eine Drei-Schicht-Anordnung dargestellt, bei der eine Barrierenmetallschicht 13a, eine Aluminiumschicht 13b und ein Schutzfilm 13c in dieser Reihenfolge aufeinander geschichtet werden. Die Barrierenmetallschicht 13a ist aus einer wärmefesten Metallsilizidschicht, wie MoSi₂ oder ähnlichem und einer wärmefesten Metallschicht gebildet zum Verhindern, dass monokristallines Silizium in Kontakt zwischen der Aluminiumschicht 13b und dem Source-/ Drain-Bereich 18 ausfällt.

Auf der rechten Seite in Fig. 17 ist eine Schnittansicht eines CMOS gezeigt, der die periphere Schaltung darstellt. Der nMOS-Transistor 100 des CMOS min ist aus einem isolierenden Gatefilm 101, einer Gateelektrode 102 und einem Paar von Source-/Drain-Bereichen 103 und 104 zusammengesetzt. Jeder der Source-/Drain-Bereiche 103 und 104 weist eine LDD-Anordnung auf, die aus n-Fremdatombereichen 103a und 104a niedriger Konzentration und n-Fremdatombereichen 103b und 104b hoher Konzentration gebildet sind. Auf den Source-/Drain- Bereichen 103 und 104 sind n-Fremdatombereiche 103c und 104c gebildet. Die n-Fremdatombereiche 103c und 104c dienen zum Verhindern, dass die Source-/Drain-Bereiche 103 und 104 Kurzschlüsse mit Verdrahtungsschichten 105 und 105 bilden.

Der pMOS-Transistor 110 des CMOS ist aus einem isolierenden Gatefilm 111, einer Gateelektrode 112 und einem Paar von Source-/Drain-Bereichen 113 und 114 zusammengesetzt. Beide Source- und Drainbereiche 113 und 114 weisen eine LDD-Anordnung mit p-Fremdatombereichen 113a und 114a niedriger Konzentration und p-Fremdatombereichen 113b und 114b hoher Konzentration auf.

Die Hauptschritte des Herstellens des Source-/Drain-Bereiches des Übertragungsgatetransistors der Speicherzelle wird im folgenden erläutert. Fig. 18A bis 18D zeigen die Hauptherstellungsschritte des in Fig. 17 gezeigten DRAMs in einer Schnittansicht. Fig. 18A zeigt die Schritte des Ionenimplantierens zum Bilden von Source und Drain des Übertragungsgatetransistors 10 in der Speicherzelle und des nMOS-Transistors 100 der peripheren Schaltung. Wie in Fig. 18A gezeigt ist, bedeckt ein Photolack 120 das Gebiet zum Bilden des pMOS- Transistors 110. Danach werden Ionen des Phosphors (P) oder Arsens (As) unter Bedingungen der Dosierung von 10 cm und der Implantierungsenergie von 60-120 keV implantiert. Dieses führt zu der Bildung von n-Fremdatombereichen 18a und 19a niedriger Konzentration des Übertragungsgatetransistors 10 und von n-Fremdatombereichen 103a und 104a des nMOS-Transistors 100.

Wie in Fig. 18B gezeigt ist, wird der Photolack 120 entfernt, und ein Photolack 121 bedeckt das Speicherzellenfeld und den Bereich zur Bildung des nMOS-Transistors 100 der peripheren Schaltung. Dann wird das Implantieren von BF₂- oder B-Ionen in das p-Typ-Halbleitersubstrat 14 mit einer Dosierung von 10 cm und einer Implantierungsenergie von 60-100 keV ausgeführt. Dies führt zu p-Fremdatombereichen 113a und 114a niedriger Konzentration des pMOS-Transistors 110.

Unter Bezugnahme auf Fig. 18C wird der Schritt zum Bilden von Fremdatombereichen hoher Konzentration des Übertragungsgatetransistors 10 im folgenden beschrieben. Auf der Oberfläche des n-Fremdatombereiches 18a des

Übertragungsgatetransistors 10 wird die untere Elektrode 20 des Kondensators 11 gebildet. Implantation von Arsen- oder Phosphorionen wird in die untere Elektrode 20 des Kondensators 11 mit einer Dosierung von 10 cm und einer Implantierungsenergie von 75-85 keV durchgeführt. Dann werden die in die untere Elektrode 20 eingeführten n-Typ-Fremdatome zu der Oberfläche des p-Typ-Siliziumsubstrates 14 durch eine Wärmebehandlung diffundiert. Dieser Diffusionsschritt bewirkt, dass der n-Fremdatombereich 19b hoher Konzentration des Source-/Drain-Bereiches 19 gebildet wird.

Fig. 18D zeigt den Schritt des Bildens des Bereiches hoher Konzentration des Source-/Drain-Bereiches 18 des Übertragungsgatetransistors. In dem Speicherzellenfeld wird eine isolierende Zwischenschicht 122 über der Speicherzelle gebildet. Die isolierende Zwischenschicht 122 weist ein Kontaktloch 123 auf, das zu dem Source-/Drain-Bereich 18 des Übertragungsgatetransistors 10 führt. In diesem Zustand bedeckt ein Photolack 124 das Gebiet zum Bilden des pMOS-Transistors 110 der peripheren Schaltung. Dann werden Arsenionen in die Oberfläche des p-Typ-Siliziumsubstrates 14 mit einer Dosierung von 10 cm und einer Implantierungsenergie von 110-130 keV implantiert. Dies führt zur Bildung von dem n-Fremdatombereich 18b hoher Konzentration des Source-/Drain-Bereiches 18, des Übertragungsgatetransistors 10. Gleichzeitig werden n-Fremdatombereiche 103c und 104c hoher Konzentration in dem nMOS-Transistor 100 der peripheren Schaltung gebildet.

Daher ist bei dem zweiten DRAM der Source-/Drainbereich 19 der mit dem Kondensator des Übertragungsgatetransistors 10 verbundenen Seite durch eine LDD-Anordnung dargestellt, die einen n-Fremdatombereich 19a niedriger Konzentration durch Ionenimplantation und einen n-Fremdatombereich 19b hoher Konzentration durch die Wärmediffusion aufweist. Der Source-/ Drain-Bereich 18 der mit der Bitleitung 13 verbundenen Seite wird durch eine LDD-Anordnung dargestellt, die einen n-Fremdatombereich 18a niedriger Konzentration durch Ionenimplantation und einen n-Fremdatombereich 18b hoher Konzentration ebenfalls durch Ionenimplantation aufweist.

Bei dem oben erwähnten zweiten Beispiel ist ein Verfahren vorgeschlagen, bei dem der Hochkonzentrationsbereich des Source-/Drainbereiches des Übertragungsgatetransistors durch Wärmediffusion von der unteren Elektrode des Kondensators gebildet ist. Dies dient zum Unterdrücken der Erzeugung von Leckströmen von dem Kondensator, die durch Fehler der Oberfläche des Substrates aufgrund der Hochkonzentrations-Ionenimplantation verursacht werden. Der schädliche Effekt der Hochtemperatur-Wärmebehandlung wird jedoch signifikant im Verhältnis zu der Erhöhung der Speicherkapazität des DRAMs auf 16 Mb oder 64 Mb und ist nicht gewünscht. Das heisst, der Kanal, wie der eines MOS-Transistors, wird aufgrund der Miniaturisierung der Einrichtungsanordnung verkürzt, die mit der Verbesserung der Integration der DRAMs einhergeht. Wenn die Wärmebehandlung bei hoher Temperatur unter solchen Bedingungen stattfindet, diffundiert der Fremdatombereich in dem Substrat und verschlimmert den Kurzkanaleffekt. Daher wurden bei den Herstellungsverfahren für DRAMs die Techniken des Hochtemperaturverfahrens zugunsten der des Niedertemperaturverfahrens geändert. Insgesamt lässt sich daher sagen, dass das Verfahren zum Bilden eines Hochkonzentrationsbereiches des Source-/Drain-Bereiches des obigen Übertragungsgatetransistors durch Wärmediffusion den Kurzkanaleffekt und ähnliches bei MOS-Transistoren von DRAMs verursacht, wodurch Hochintegration des DRAMs verhindert wird.

In dem zweiten Beispiel ist der n-Fremdatombereich 18b hoher Konzentration durch Ionenimplantation in dem Source-/Drain-Bereich 18 der mit der Bitleitung verbundenen Seite gebildet. Dieses fördert das Erzeugen von zusätzlichen Oxidfilmen, wie zuvor ausgeführt wurde. Dadurch tritt das Problem auf, dass ein effektiver ohmscher Kontakt zwischen der Bitleitung und dem Source-/Drain-Bereich 18 verhindert wird.

Es ist daher Aufgabe der Erfindung, die Auffrischeigenschaften der Speicherzelle in einem DRAM zu verbessern, dabei soll insbesondere das Lecken von gespeicherter Ladung unterdrückt werden, das zwischen dem Kondensator und der Source und dem Drain des Übertragungsgatetransistors in der Speicherzelle des DRAMs auftritt, wobei gleichzeitig der Kontaktwiderstand Bitleitungskontaktes des DRAMs verringert wird. Es ist ebenfalls Aufgabe der Erfindung, ein Verfahren zum Herstellen eines DRAMs vorzusehen, durch das ein DRAM hergestellt werden kann, bei dem die obigen Probleme nicht auftreten.

Erfindungsgemäss ist ein DRAM vorgesehen, der ein Speicherzellenfeld mit einer Mehrzahl von Speicherzellen, die zum Speichern von Einheitsspeicherinformation ausgelegt sind, und eine periphere Schaltung für eine Schreib- und Lesetätigkeit einer vorbestimmten gespeicherten Information bezüglich des Speicherzellenfeldes auf der Hauptoberfläche eines Halbleitersubstrates aufweist. Die Speicherzelle ist in der Nähe des Schnittpunktes einer Mehrzahl von sich auf der Hauptoberfläche des Halbleitersubstrates erstreckenden Wortleitungen und eine sich in einer Richtung quer zu den Wortleitungen erstreckenden Mehrzahl von Bitleitungen gebildet. Die Speicherzelle weist einen Übertragungsgatetransistor mit einem in dem Halbleitersubstrat gebildeten ersten Fremdatombereich und einen mit einem zweiten n-Fremdatombereich des Übertragungsgatetransistors verbundenen Kondensator auf. Die periphere Schaltung weist einen Transistor von einem Leitungstyp identisch zu dem des Übertragungsgatetransistors auf, wobei der Transistor der peripheren Schaltung ein Paar von Fremdatombereichen enthält, die durch einen Bereich von relativ hoher Konzentration und einen Bereich von relativ niedriger Konzentration gebildet sind, wobei jeder in der Oberfläche des Halbleitersubstrates gebildet ist. Weiter weist der Transistor der peripheren Schaltung eine auf der Oberfläche des Halbleitersubstrates gebildete und von dem Halbleitersubstrat durch einen isolierenden Film getrennte Gateelektrode auf. Von dem Paar von Fremdatombereichen des Übertragungsgates der Speicherzelle ist mindestens die

Fremdatomkonzentration des mit dem Kondensator verbundenen zweiten Fremdatombereiches im wesentlichen gleich der Fremdatomkonzentration des Fremdatombereiches der relativ niedrigen Konzentration des Transistors der peripheren Schaltung gesetzt.

Gemäss einer Weiterbildung der Erfindung weisen beide des Fremdatombereichspaares des Übertragungsgatetransistors der Speicherzelle des DRAMs eine Fremdatomkonzentration im wesentlichen gleich zu der Konzentration des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung auf.

Gemäss einer Weiterbildung der Erfindung ist der mit dem Kondensator des Übertragungsgatetransistors der Speicherzelle des DRAMs verbundene zweite Fremdatombereich mit einem Bereich mit einer Fremdatomkonzentration im wesentlichen gleich zu der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung versehen. Der mit der Bitleitung verbundene erste Fremdatombereich ist mit einem ersten Bereich mit einem Fremdatombereich im wesentlichen gleich dem des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung und einem zweiten Bereich mit einer Konzentration höher als die des ersten Bereiches versehen.

Nach einer Weiterbildung der Erfindung weist von dem Paar der Fremdatombereiche des Übertragungsgatetransistors der Speicherzelle des DRAMs mindestens der mit dem Kondensator verbundene zweite Fremdatombereich einen Bereich auf, der eine Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich enthält.

Nach einer Weiterbildung der Erfindung weisen beide der Fremdatombereiche des Übertragungsgatetransistors der Speicherzelle des DRAMs einen Bereich mit einer Fremdatomkonzentration auf die im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich ist.

Gemäss einer Weiterbildung der Erfindung weist der mit dem Kondensator des Übertragungsgatetransistors der Speicherzelle verbundene zweite Fremdatombereich einen Bereich mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich auf. Der mit der Bitleitung verbundene erste Fremdatombereich ist aus einem ersten Bereich mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung und einem zweiten Bereich mit einer Konzentration höher als die des ersten Bereiches zusammengesetzt.

Die Aufgabe wird auch gelöst durch ein Verfahren zum Herstellen eines DRAMs, das die folgenden Schritte zum Herstellen eines DRAMs mit einem ersten Transistor mit einem Fremdatombereich von einer Konzentration und einem zweiten Transistor mit einem Fremdatombereich einer doppelten Diffusionsanordnung, wobei zwei verschiedene Konzentrationen in dem gleichen Halbleitersubstrat gebildet sind, aufweist:
Zuerst werden eine Gateelektrode des ersten Transistors und eine Gateelektrode des zweiten Transistors auf der Hauptoberfläche des Halbleitersubstrates gebildet, wobei ein isolierender Gatefilm jeweils dazwischen vorgesehen ist.

Fremdatomionen werden in das Halbleitersubstrat unter Benutzung der Gateelektroden als Masken implantiert zum gleichzeitigen Bilden eines Fremdatombereiches von relativ niedriger Konzentration des zweiten Transistors und eines Fremdatombereiches des ersten Transistors mit einer Fremdatomkonzentration gleich der des Fremdatombereiches niedriger Konzentration. Dann wird die Oberfläche Bereiches des ersten Transistors bedeckt, darauffolgend werden Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode des zweiten Transistors als Maske so implantiert, dass ein Fremdatombereich von relativ hoher Konzentration des zweiten Transistors gebildet wird.

Gemäss einer Weiterbildung der Erfindung weist das Verfahren zum Herstellen eines DRAMs mit einem Paar von Fremdatombereichen mit einer Doppelstruktur verschiedener Konzentrationen in dem Halbleitersubstrat und einer auf der Oberfläche dieses Fremdatombereiches gebildeten leitenden Schicht folgende Schritte auf:
Zuerst wird eine isolierende Schicht und eine Gateelektrode auf der Oberfläche des Halbleitersubstrates gebildet.

Dann werden Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode als Maske zum Bilden eines Fremdatombereiches von relativ niedriger Konzentration implantiert.

Eine leitende Schicht mit Fremdatomen wird auf der Oberfläche des Fremdatombereiches niedriger Konzentration gebildet, wodurch in der leitenden Schicht enthaltene Fremdatome in das Halbleitersubstrat durch eine Wärmebehandlung zum Bilden eines Fremdatombereiches von relativ hoher Konzentration diffundieren.

Nach einer Weiterbildung der Erfindung weist das Verfahren zum Bilden einer Halbleitereinrichtung mit einem Speicherzellenfeld und einer peripheren Schaltung auf dem gleichen Halbleitersubstrat, bei dem die Speicherzelle des Speicherzellenfeldes einen ersten MOS-Transistor und einen Kondensator enthält die Bitleitung jeweils mit dem Paar der Fremdatombereiche des ersten MOS-Transistors verbunden ist und die periphere Schaltung einen zweiten MOS-

Transistor eines Leitungstypes identisch zu dem des ersten MOS-Transistors enthält, die folgenden Schritte auf: Zuerst wird eine Gateelektrode des ersten MOS-Transistors und eine Gateelektrode des zweiten MOS-Transistors auf der Hauptoberfläche des Halbleitersubstrates mit einer isolierenden Schicht dazwischen gebildet.

Dann werden Fremdatomionen in die Hauptoberfläche des Halbleitersubstrates unter Benutzung der Gateelektroden des ersten und des zweiten MOS-Transistors als Masken zum Bilden eines Niedrig-Konzentrations-Fremdatombereiches des ersten MOS-Transistors und eines Niedrig-Konzentrations-Fremdatombereiches des zweiten MOS-Transistors implantiert. Nachdem die Oberfläche des ersten MOS-Transistors bedeckt ist, werden Fremdatombereiche in das Halbleitersubstrat unter Benutzung der Gateelektrode des zweiten MOS-Transistors als Maske zum Bilden eines Hochkonzentrations-Fremdatombereiches des zweiten MOS-Transistors implantiert. Auf einem Niedrig-Konzentrations-Fremdatombereich des ersten MOS-Transistors werden aufeinanderfolgend eine erste leitende Schicht, eine dielektrische Schicht und eine zweite leitende Schicht des Kondensators gebildet. Auf der Oberfläche des ersten MOS-Transistors wird eine isolierende Zwischenschicht mit einer Öffnung dadurch zu dem anderen Niedrig-Konzentrations-Fremdatombereich des ersten MOS-Transistors gebildet. Oberhalb der isolierenden Zwischenschicht und in der Öffnung wird eine durch eine leitende Schicht mit Fremdatomen dargestellte Bitleitung gebildet.

Gemäss der Erfindung werden die Fremdatombereiche des Übertragungsgatetransistors, der einen Teil der Speicherzelle darstellt, nur durch Fremdatombereiche niedriger Konzentration gebildet. Fremdatombereiche hoher Konzentration durch Hochkonzentrations-Ionenimplantation werden nicht gebildet. Dieses schliesst in dem Halbleitersubstrat erzeugte Kristallfehler aufgrund der Ionenimplantation für die Bildung von Fremdatombereichen hoher Konzentration aus. Damit wird das Lecken der in dem Kondensator gespeicherten Signalladung unterdrückt. Weiterhin wird die Haltezeit der Signalladung des Kondensators grösser, so dass die Eigenschaften der Auffrischtätigkeit der Speicherzelle verbessert werden. Es wird ebenfalls die Erzeugung von zufälligen Oxidfilmen aufgrund des multiplen Effektes von Fremdatomen, die in dem Halbleitersubstrat eingeschlossen sind, unterdrückt. Folglich kann der Kontakt zwischen den Fremdatombereichen des Übertragungsgatetransistors und der Bitleitung oder der unteren Elektrode des Kondensators verbessert werden.

Weitere Merkmale und Zweckmässigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Schnittansicht der Struktur eines DRAMs gemäss einer ersten Ausführungsform;

Fig. 2A bis 2I Schnittansichten des in Fig. 1 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 3 eine Schnittansicht des DRAMs nach einer zweiten Ausführungsform;

Fig. 4A und 4B Schnittansichten des in Fig. 3 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 5 eine Schnittansicht der Struktur eines DRAMs einer dritten Ausführungsform;

Fig. 6 die Schnittansicht der Struktur eines DRAMs einer vierten Ausführungsform;

Fig. 7 eine Schnittansicht des in Fig. 6 gezeigten DRAMs zu einem bestimmten Herstellungsschritt;

Fig. 8 eine Schnittansicht der Struktur einer Modifikation des DRAMs der vierten Ausführungsform;

Fig. 9 eine Schnittansicht der Struktur eines DRAMs einer fünften Ausführungsform;

Fig. 10 eine Schnittansicht der Struktur eines DRAMs mit einem Kondensator vom Planartyp gemäss einer sechsten Ausführungsform;

Fig. 11A bis 11J Schnittansichten des in Fig. 10 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 12 ein Diagramm der Beziehung zwischen der Signalladungshaltezeit der Speicherzelle zu dem Auftreten der Zahl von fehlerhaften Bits;

Fig. 13 ein Blockschaltbild zur Erläuterung der Struktur eines DRAMs;

Fig. 14 ein Ersatzschaltbild einer allgemeinen DRAM-Speicherzelle;

Fig. 15 eine Schnittansicht der Struktur eines Beispiels einer DRAM-Speicherzelle;

Fig. 16A bis 16I Schnittansichten des in Fig. 15 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 17 eine Schnittansicht der Struktur eines zweiten Beispiels eines DRAMs; und

Fig. 18A bis 18D Schnittansichten des in Fig. 17 gezeigten DRAMs während verschiedener Herstellungsschritte.

Wie in Fig. 1 gezeigt ist, enthält die Speicherzelle eines DRAMs gemäß einer ersten Ausführungsform einen Übertragungsgatetransistor 10 und einen damit verbundenen Kondensator 11. Der Übertragungsgatetransistor 10 weist eine aus mit Phosphor (P) dotiertem Polysilizium auf der Oberfläche eines p-Typ-Halbleitersubstrates 14 gebildete Gateelektrode (Wortleitung) auf, wobei ein Gateoxidfilm 16 dazwischen vorgesehen ist. Der Umfang der Gateelektrode 12 ist von einem Oxidfilm 17 bedeckt. In dem Halbleitersubstrat 14 ist ein Paar von n-Fremdatombereichen 18a und 19a niedriger Konzentration an einer mit der Gateelektrode 12 selbst-ausgerichteten Position gebildet.

Der Kondensator 11 weist eine geschichtete Anordnung einer unteren Elektrode 20, eines dielektrischen Filmes 21 und einer oberen Elektrode 22 auf. Das Gebiet zum Bilden des Kondensators weist eine sich über den oberen Abschnitt eines Feldoxidfilmes 15 bis über die Gateelektrode 12 des Übertragungsgatetransistors erstreckende Struktur auf. Die untere Elektrode 22 ist aus mit Phosphor oder Arsen implantiertem Polysilizium oder aus sogenanntem dotiertem Polysilizium mit Phosphor und Arsen dotiert zu dem Zeitpunkt des CVD-Bildens gebildet. Der dielektrische Film 21 des Kondensators ist aus einem Siliziumnitridfilm gebildet, wobei ein dünner Oxidfilm auf der Oberfläche des Siliziumnitridfilmes gebildet ist, obwohl das in Fig. 1 nicht gezeigt ist. Dieser Oxidfilm muss nicht unbedingt gebildet werden. Die obere Elektrode 22 ist unter Benutzung einer Polysiliziumschicht mit Phosphordotierung gebildet.

Für die periphere Schaltung wird ein CMOS-Transistor benutzt, der einen nMOS-Transistor 45a und einen pMOS-Transistor 45b aufweist. Der nMOS-Transistor 45a des CMOS weist Source- und Drain-Bereiche mit einer LDD-Anordnung auf, die aus einem n-Fremdatombereich 31 von relativ niedriger Konzentration und einem n-Fremdatombereich 33 einer relativ hohen Konzentration gebildet sind.

Bei einem DRAM mit einer derartigen Anordnung liegt ein wesentliches Merkmal darin, dass die Fremdatomkonzentration des Source-Bereiches 18a und des Drainbereiches 19a des Übertragungsgatetransistors 10 der Speicherzelle niedriger eingestellt ist als der des n-Fremdatombereiches 33 des nMOS-Transistors 45a der peripheren Schaltung. Zum Beispiel sei die Fremdatomkonzentration des Source-Bereiches 18a und des Drain-Bereiches 19a des Übertragungsgatetransistors 10 auf dem Pegel von $10^{16}/\text{cm}^2$ bis $10^{17}/\text{cm}^2$. Dann ist die Konzentration des n-Fremdatombereiches 31 des nMOS-Transistors 45a der peripheren Schaltung $10^{16}/\text{cm}^2$ bis $10^{17}/\text{cm}^2$, dagegen ist die Konzentration des n-Fremdatombereiches 33 auf $10^{18}/\text{cm}^2$ bis $10^{19}/\text{cm}^2$ eingestellt.

Im folgenden werden die Herstellungsschritte des DRAMs der ersten Ausführungsform unter Bezugnahme auf die Fig. 2A bis 2I erläutert. Da die Beschreibung der Herstellungsschritte der Fig. 2A bis 2B identisch mit denen der Fig. 16A bis 16B ist, die weiter oben gegeben ist, wird sie hier nicht noch einmal wiederholt.

Wie in Fig. 2C gezeigt ist, bedeckt ein Photolack bzw. Abdecklack bzw. Resist 29a den pMOS-Bereich der peripheren Schaltung. Darauf folgt das Implantieren von Phosphor-(P)-Ionen oder Arsen-(As)-Ionen 30a einer niedrigen Konzentration bei einer Dosierung von $10^{16}/\text{cm}^2$ bis $10^{17}/\text{cm}^2$ in die Oberfläche des Halbleitersubstrates. Dieses Ionenimplantieren bewirkt die Bildung von n-Fremdatombereichen 18a und 19a des Übertragungsgatetransistors 10 der Speicherzelle und eines n-Fremdatombereiches 31 des nMOS-Transistors der peripheren Schaltung.

Wie in Fig. 2D gezeigt ist, wird ein Oxidfilm über dem gesamten Substrat abgeschieden und anisotrop geätzt. Dieses bildet Seitenwände 17a und 27a eines Oxidfilmes an den Seitenwänden der Gateelektrode 12 des Übertragungsgatetransistors und der Gateelektrode 26a des nMOS-Transistors der peripheren Schaltung. Nachdem der Speicherzellenbereich und der pMOS-Transistorbereich des peripheren Bereiches durch einen Abdecklack 29b bedeckt ist, werden n-Typ-Fremdatomionen 30b, wie Arsen oder Phosphor, in die Oberfläche des Halbleitersubstrates unter Benutzung der Seitenwände 27a des nMOS-Transistors mit einer Dosierung von $10^{16}/\text{cm}^2$ bis $10^{17}/\text{cm}^2$ und einer Implantierungsenergie von 50 keV implantiert. Durch diesen Ionenimplantationsschritt werden die n-Fremdatombereiche 33 und 33 des nMOS-Transistors der peripheren Schaltung gebildet. Somit wird die LDD-Anordnung des nMOS-Transistors der peripheren Schaltung gebildet.

Wie in Fig. 2E gezeigt ist, wird der Abdecklack 29b entfernt, darauffolgend wird die Oberfläche der Speicherzelle und des nMOS-Transistorbereiches der peripheren Schaltung mit einem Abdecklack 29c bedeckt, so dass p-Typ-Fremdatomionen 32, wie Bor (B, BF₂) in die Oberfläche des Substrates durch die Seitenwände 27a der Gateelektrode 26b des pMOS-Transistors bei einer Dosierung von $10^{16}/\text{cm}^2$ bis $10^{17}/\text{cm}^2$ und einer Implantierungsenergie von 30-40 keV implantiert werden können. Durch diesen Ionenimplantationsschritt werden die p-Fremdatombereiche 35 und 35 des pMOS-Transistors gebildet. So wird der pMOS-Transistor der peripheren Schaltung gebildet.

Die Herstellungsschritte für den Kondensator 11 der Speicherzelle werden im folgenden erläutert. Die Beschreibung zu den Fig. 2F bis 2I ist identisch mit der Beschreibung zu den Fig. 16F bis 16I, die oben gegeben ist. Daher wird diese Beschreibung nicht wiederholt.

Die Source- und Drain-Bereiche 18a und 19a geringer Konzentration des Übertragungsgatetransistors 10, die ein wesentliches Merkmal darstellen, werden implantiert, indem Fremdatomionenimplantation hoher Konzentration der peripheren Schaltung durchgeführt wird, nachdem die Speicherzelle durch den Abdecklack 29b bedeckt ist, wie es in Fig. 2D gezeigt ist. Daher ist es möglich, die Source- und Drain-Bereiche 18a und 19a des

Übertragungsgatetransistors 10 ohne Erhöhung der Herstellungsschritte im Vergleich mit herkömmlichen Herstellungsverfahren zu bilden. Da die Source- und Drain-Bereiche 18a und 19a des Übertragungsgatetransistors 10 nicht der Beschädigung durch Ionenimplantation hoher Konzentration unterliegen, kann das Auftreten vieler Kristallfehler auf der Oberfläche des Halbleitersubstrates 14 vermieden werden. Es ist daher möglich, das Lecken von Signalladungen aus dem oberhalb der Oberfläche des Source-/Drain-Bereiches 19a gebildeten Kondensator auf einen Minimalwert zu drücken. Im Betrieb ist Zuverlässigkeit für die Tätigkeit des Übertragungsgatetransistors 10 der Speicherzelle wichtiger als Hochgeschwindigkeitseigenschaften. Die Anforderungen an den Betrieb können erfüllt werden, selbst wenn die Source- und Drain-Bereiche 18a und 19a als Fremdatombereiche niedriger Konzentration gebildet werden. Bei der Anmelderin wurde festgestellt, dass das Vorhandensein eines Fremdatombereiches 19b hoher Konzentration in dem Source-/Drain-Bereich 19 des an der Seite mit dem Kondensator verbundenen Übertragungsgatetransistors keinen grossen Einfluss auf den Betrieb des Speichers ausübt. Genau genommen gibt es einige Fälle, in denen ein Fremdatombereich hoher Konzentration diffundiert ist und innerhalb der Source- und Drain-Bereiche 18a und 19a geringer Konzentration gebildet ist aufgrund des Effektes der Fremdatome in der unteren Elektrode 20 des Kondensators und in der Bitleitung 13 während des Wärmebehandelns der Herstellungsschritte. Dieser Bereich hoher Konzentration wird jedoch einfach innerhalb der Source- und Drainbereiche 18a und 19a niedriger Konzentration gehalten. Die Auffrischeigenschaft der Speicherzelle kann verbessert werden, indem Leckstrom von dem Kondensator 11 unterdrückt wird. Dies wird unter Bezugnahme auf Fig. 12 erläutert werden.

Die Abszisse in Fig. 12 zeigt die Betriebshaltezeit nach der Schreibtätigkeit von Daten in den Kondensator der Speicherzelle. Die Ordinate zeigt die Zahl der fehlerhaften Bits, die bei fehlerhaftem Auslesen auftreten, wenn Daten aus der Speicherzelle nach der durch die Abszisse angezeigten Haltezeit ausgelesen werden. Dieses Experiment wurde bei einer Temperatur von 80 DEG C ausgeführt. Wie in Fig. 12 gezeigt ist, ist die Haltezeit bis zu dem starken Auftreten von fehlerhaften Bits des DRAMs mit einer Speicherzelle nach einer Ausführungsform der Erfindung grösser als die bei einer herkömmlichen Speicherzelle, und die fehlerhaften Bits sind in der Konzentration verteilt. Daher ist es möglich, das Auffrischintervall der Auffrischtätigkeit der Speicherzelle zum Verbessern der Auffrischeigenschaften auszudehnen.

Im folgenden wird ein zweites Ausführungsbeispiel unter Bezugnahme auf Fig. 3 beschrieben. Bei dieser zweiten Ausführungsform sind Barrierenmetallschichten 28 und 13a, wie etwa aus TiN oder TiW, unter der unteren Elektrode 20 des Kondensators 11 und unter der Bitleitung 13 der Speicherzelle gebildet. Diese Barrierenmetallschichten 28 und 13b können verhindern, dass in der unteren Elektrode 20 des Kondensators und in der Polysiliziumschicht 13a der Bitleitung enthaltene Fremdatome zu der Oberfläche des Siliziumsubstrates 14 unter dem Einfluss hoher Temperatur während der Herstellungsschritte der Speicherzelle diffundieren. Es ist daher möglich, Source- und Drain-Bereiche 18 und 19 des Übertragungsgatetransistors 10 nur mit n-Fremdatombereichen 18a und 19a niedriger Konzentration einzuführen.

Fig. 4A ist eine Schnittansicht, die den Schritt des Bildens der Barrierenmetallschicht 28 und der unteren Elektrode 20 des Kondensators zeigt. Dies entspricht dem Schritt in Fig. 2G der ersten Ausführungsform. Die Barrierenmetallschicht 28 wird auf der Oberfläche des Siliziumsubstrates durch ein Sprühverfahren oder ähnliches gebildet, wobei eine Polysiliziumschicht mit Fremdatomen auf der Oberfläche davon gebildet wird. Diese beiden werden zum Bilden der Barrierenmetallschicht 28 und der unteren Elektrode 20 des Kondensators bemustert.

Fig. 4B ist eine Schnittansicht, die den Schritt des Bildens der Barrierenmetallschicht 13b zeigt. Dies entspricht dem Schritt in Fig. 2H der ersten Ausführungsform. Das heisst, die Barrierenmetallschicht 13b wird auf der Oberfläche der isolierenden Zwischenschicht 40 durch ein Sprühverfahren oder ähnliches gebildet, wonach eine Polysiliziumschicht 13 auf deren Oberfläche gebildet wird. Diese beiden werden zum Bilden der Bitleitung 13 bemustert.

Eine dritte Ausführungsform wird im folgenden unter Bezugnahme auf Fig. 5 beschrieben. Bei dieser dritten Ausführungsform ist die untere Elektrode 20 des Speicherzellenkondensators 11 aus einer metallischen Schicht, wie WSi, MoSi, W, Mo, Ti und TiW gebildet, die keine Fremdatome enthalten, weiterhin ist sie aus einer metallischen Legierungsschicht oder aus einer Verbindung aus Metall und Silizium gebildet. Durch das Bilden der unteren Elektrode 20 des Kondensators mit einer metallischen Schicht oder ähnlichem kann die Diffusion der Fremdatome in den Source-/Drain-Bereich 19 des Übertragungsgatetransistors 10 aufgrund des Effektes der Wärme während der Herstellungsschritte verhindert werden. Aus ähnlichen Gründen kann die Bitleitung 13 aus einer metallischen Schicht einer metallischen Legierungsschicht oder einer Verbindung aus Metall und Silizium gebildet werden.

Eine vierte Ausführungsform wird unter Bezugnahme auf Fig. 6 erläutert. Im Vergleich zu der ersten Ausführungsform enthält der Fremdatombereich der mit dem Kondensator 11 verbundenen Seite der Speicherzelle mit einem Paar von Source-/Drain-Bereichen des Übertragungsgatetransistors 10 nur einen n-Fremdatombereich 19a niedriger Konzentration. Der Source-/Drain-Bereich der mit der Bitleitung 13 verbundenen Seite wird durch die LDD-Anordnung dargestellt. Da der mit der unteren Elektrode 20 des Kondensators 11 verbundene Fremdatombereich 19a nicht mit dem Ionenimplantationsschritt mit hoher Konzentration gebildet ist, kann der Effekt des Unterdrückens von Leckströmen von dem Kondensator 11 auch bei dieser Ausführungsform erzielt werden. Das Verfahren zum Herstellen des Source-/Drain-Bereiches 18 mit der LDD-Anordnung wird erzielt, indem ein Muster einer Öffnung in dem Abdecklack 29b gebildet wird, der den Speicherzellenbereich oberhalb des mit der Bitleitung 13 zu verbindenden n-Fremdatombereiches 18a bedeckt, wie in Fig. 7 gezeigt ist, deren Herstellungsschritt dem der Fig. 2D der ersten Ausführungsform entspricht.

Als Modifikation der vierten Ausführungsform kann die LDD-Anordnung des Source-/Drain-Bereiches 18 der mit der Bitleitung 13 verbundenen Seite des Übertragungsgatetransistors 10 durch Wärmediffusion von Fremdatomen in der Bitleitung 13 eingeführt werden. In diesem Fall kann der Ansatz des Differenzierens der Arten von in der Bitleitung 13 und in der unteren Elektrode 20 des Kondensators 11 einzuführenden Fremdatomen oder der Ansatz des Differenzierens der Konzentrationen gewählt werden, so dass die Fremdatome nicht in den Source-/Drain-Bereich 19 der mit dem Kondensator 11 des Übertragungsgatetransistors 10 verbundenen Seite diffundieren. Zum Beispiel wird Arsen in die untere Elektrode 20 des Kondensators 11 eingeführt, während Phosphor in die Bitleitung 13 eingeführt wird. Phosphor weist einen grösseren Wärmediffusionskoeffizienten im Vergleich mit dem von Arsen in diesem Fall auf. Wenn eine ähnliche Wärmebehandlung ausgeübt wird, ist die Diffusion des Phosphors zu dem Substrat von der Bitleitung 13 grösser als die Diffusion des Arsens in das Substrat von der unteren Elektrode 20. Indem geeignete Wärmebehandlungsbedingungen gesetzt werden, ist es möglich, die LDD-Anordnung nur in dem Source-/Drain-Bereich 18 der mit der Bitleitung verbundenen Seite zu bilden. Somit wird der Source-/Drain-Bereich 19 der mit dem Kondensator 11 verbundenen Seite so gebildet, dass er einen Diffusionsbereich mit Arsen einer hohen Konzentration innerhalb des n-Fremdatombereiches 19a von niedriger Konzentration aufweist.

Wenn sich die Fremdatomkonzentration der Bitleitung 13 von der der unteren Elektrode 20 des Kondensators 11 unterscheidet, wenn zum Beispiel die Konzentration des Phosphors in der Bitleitung 10/cm beträgt und die der unteren Elektrode 20 des Kondensators 11 etwa $2 \times 10^{-2} \times 10^9$ /cm beträgt, diffundiert der Phosphor der Bitleitung weiter in das Substrat im Vergleich mit dem Phosphor der unteren Elektrode 20.

Eine andere Modifikation der vierten Ausführungsform wird im folgenden unter Bezugnahme auf Fig. 8 beschrieben. Bei der Modifikation von Fig. 8 wird die Barrierenmetallschicht 28 nur unter der unteren Elektrode 20 des Kondensators 11 gebildet. Diese Barrierenmetallschicht 28 verhindert, dass Fremdatome in der unteren Elektrode 20 des Kondensators 11 in das Substrat diffundieren. Nur Fremdatome von der Seite der Bitleitung 13 diffundieren in das Substrat, wodurch die LDD-Anordnung nur in dem Source-/Drain-Bereich 18 der mit der Bitleitung 13 verbundenen Seite erreicht wird.

Im folgenden wird eine fünfte Ausführungsform unter Bezugnahme auf Fig. 9 erläutert. Die Source- und Drain-Bereiche 18 und 19 des Übertragungsgatetransistors 10 dieser Speicherzelle weisen die LDD-Anordnung auf. Die n-Fremdatombereiche 19b und 18b hoher Konzentration sind gebildet, indem in der unteren Elektrode 20 des Kondensators und der Bitleitung 13 enthaltene Fremdatome hoher Konzentration unter einer Wärmebehandlung in das Halbleitersubstrat 14 diffundiert sind. Zur Bildung der n-Fremdatombereiche 18b und 19b hoher Konzentration kann diese Wärmediffusion der Fremdatome absichtlich durchgeführt werden, oder die Fremdatome können automatisch in die Oberfläche des Halbleitersubstrates 14 durch Erwärmen zum Zeitpunkt der Oxidation anderer Schichten oder bei der Bildung dünner Filme diffundiert werden. In dem Falle, dass solche Wärmediffusion eingesetzt wird, werden Kristallfehler auf der Oberfläche des Halbleitersubstrates 14 zu dem Zeitpunkt der n-Fremdatombereiche 18b und 19b hoher Konzentration nicht erzeugt. Es ist daher möglich, Leckströme von dem Kondensator wie bei den obigen Ausführungsformen zu unterdrücken.

Im folgenden wird eine sechste Ausführungsform unter Bezugnahme auf Fig. 10 beschrieben. Der dort gezeigte DRAM weist einen sogenannten Kondensator vom Planartyp als Kondensator 11 auf. Auf der Oberfläche des Halbleitersubstrates 14 wird ein mit dem einen Fremdatombereich 19a des Übertragungsgatetransistors 10 verbundener n-Typ-Fremdatombereich 51 gebildet. Ein dielektrischer Film 53 und eine obere Elektrode 54 werden auf der Oberfläche des n-Typ-Fremdatombereiches 51 übereinandergeschichtet. In dem unteren Bereich des n-Typ-Fremdatombereiches 51 wird ein p-Fremdatombereich 52 mit einem Leitungstyp identisch zu dem des Substrates gebildet. Eine derartige Anordnung wird als Hi-C-Anordnung bezeichnet, mit der versucht werden soll, die Übergangskapazität zwischen dem n-Typ-Fremdatombereich 51 und dem p-Fremdatombereich zum Erhöhen der Kondensatorkapazität zu erhöhen. Der Source-/Drain-Bereich des Übertragungsgatetransistors 10 wird nur durch die n-Fremdatombereiche 18a und 19a niedriger Konzentration dargestellt. Das heisst, der Ionenimplantationsschritt mit Fremdatomen hoher Konzentration ist ausgelassen, wie im folgenden bei den Herstellungsschritten beschrieben ist. In der peripheren Schaltung ist eine CMOS-Schaltung ähnlich der der ersten bis dritten Ausführungsformen gezeigt, während der Source-/Drain-Bereich des nMOS-Transistors 45a die sogenannte LDD-Anordnung aufweist.

Die Herstellungsschritte für den DRAM der oben beschriebenen sechsten Ausführungsform werden im folgenden unter Bezugnahme auf die Fig. 11A bis 11J beschrieben.

Wie in Fig. 11A gezeigt ist, wird ein dicker Feldoxidfilm 15 in einem vorbestimmten Bereich auf der Hauptoberfläche des p-Typ-Siliziumsubstrates 14 gebildet, wobei ein p-Kanal-Stop 55 darunter gebildet wird. In dem peripheren Schaltungsbereich werden eine p-Wanne 23 und eine n-Wanne 24 in dem p-Typ-Siliziumsubstrat 14 gebildet. Auf der Oberfläche des p-Typ-Siliziumsubstrates werden Oxidfilme 16 und 53 gebildet.

Wie in Fig. 11B gezeigt ist, wird die Oberfläche des p-Typ-Siliziumsubstrates 14 mit einem Abdecklack 29 bedeckt, darauf wird er bemustert, so dass nur der Bereich zum Bilden des Kondensators der Speicherzelle geöffnet wird. Unter Benutzung dieses bemusterten Abdecklackes 29a als Maske werden Arsenionen 56 und Borionen 57 in die Oberfläche des p-Typ-Siliziumsubstrates 14 zur Aktivierung implantiert. Arsenionen 56 werden mit Implantierungsenergien von 100-200 keV und einer Dosierung von 10^{-10} /cm implantiert, während die Borionen 57 mit Energien von 100-200 keV und einer Dosierung von 10^{-10} /cm implantiert werden. Dies hat die Bildung der Hi-C-Anordnung zur Folge, die aus

dem n-Typ- Fremdatombereich 51 des Kondensators 11 und dem p-Fremdatombereich 52 besteht.

Wie in Fig. 11C gezeigt ist, wird der Abdecklack 29a entfernt und danach eine Polysiliziumschicht mit Fremdatomen und ein Abdecklack 29b, der mit einer vorbestimmten Form bemustert wird, gebildet. Dadurch wird die obere Elektrode 54 über dem Kondensator gebildet.

Wie in Fig. 11D gezeigt ist, wird eine Polysiliziumschicht mit einer Leitung über dem p-Typ-Siliziumsubstrat 14 abgeschieden und in einer vorbestimmten Konfiguration bemustert. Dadurch werden Gateelektrode 12 und 12 des Übertragungsgatetransistors der Speicherzelle und Gateelektroden 26a und 26b des nMOS-Transistors und pMOS-Transistors der peripheren Schaltung gebildet.

Wie in Fig. 11E gezeigt ist, wird die Oberfläche des pMOS- Bereiches mit einem Abdecklack 29c bedeckt, worauf Phosphorionen 58 implantiert werden, so dass n-Fremdatombereiche 18a und 19a niedriger Konzentration des Übertragungsgatetransistors und n-Fremdatombereiche 31 und 31 niedriger Konzentration des nMOS-Transistors gebildet werden.

Wie in Fig. 11F gezeigt ist, wird der Abdecklack 29 entfernt und darauf der Oxidfilm abgeschieden und anisotrop geätzt zum Bilden von Seitenwänden 59 des Oxidfilmes an den Seiten der Gateelektrode 12 des Übertragungsgatetransistors und der Gateelektroden 26a und 26b des pMOS-Transistors und des nMOS-Transistors. Dann wird ein Abdecklack 29d überall aufgetragen und nur in dem Bereich zum Bilden des nMOS-Transistors geöffnet. Unter Benutzung der Gateelektrode 26a des nMOS-Transistors und der Seitenwände 59 als Maske werden Arsenionen 60 in die Oberfläche des p-Typ-Siliziumsubstrates 14 implantiert. Dadurch werden n-Fremdatombereiche 33 und 33 hoher Konzentration des nMOS-Transistors gebildet.

Wie in Fig. 11G gezeigt ist, wird der Abdecklack 29d entfernt und ein Abdecklack 29e überall aufgetragen und nur in dem Bereich zum Bilden des pMOS-Transistors geöffnet. Dann werden p-Typ-Fremdatomionen 61 zum Bilden von p-Fremdatombereichen 35 und 35 des pMOS-Transistors implantiert.

Wie in Fig. 11H gezeigt ist, wird der Abdecklack 29e entfernt, und eine isolierende Zwischenschicht 62 aus einem Oxidfilm wird auf der Oberfläche des p-Typ-Siliziumsubstrates 14 unter Benutzung des CVD-Verfahrens abgeschieden. Ein Kontaktloch 63 für einen Bitleitungskontakt wird in dem isolierenden Zwischenschichtfilm 62 in dem Speicherzellenbereich gebildet.

Wie in Fig. 11I gezeigt ist, wird eine zum Beispiel aus Polysilizium bestehende Bitleitung gebildet. Ein zweiter isolierender Zwischenschichtfilm 42 wird über die Bitleitung gelegt.

Wie in Fig. 11J gezeigt ist, wird ein vorbestimmtes Kontaktloch in der isolierenden Zwischenschicht 42 des Bereiches der peripheren Schaltung gebildet, woraufhin eine Verdrahtungsschicht 43 gebildet wird.

Somit kann ein DRAM hergestellt werden, der eine Anordnung aufweist, bei der der Source-/Drain-Bereich des Übertragungsgatetransistors der Speicherzelle nur aus n-Fremdatombereichen 18a und 19a niedriger Konzentration besteht.

Die vorliegende Erfindung wird insbesondere unter der Berücksichtigung der Tatsache, dass das Lecken von Signalladungen von dem Kondensator der Speicherzelle des DRAMs durch Kristallfehler des mit der unteren Elektrode des Kondensators verbundenen Fremdatombereiches verursacht wird, vorgesehen. Dieses Problem des Leckens wird überwunden, indem das Ionenimplantieren von Fremdatomen hoher Konzentration, das dazu führt, dass Kristallfehler in dem Substrat auftreten, ausgelassen wird. Bei einem solchen Verfahren wird das Lecken der Signalladungen von dem Kondensator unterdrückt.

Ein anderes wichtiges Merkmal der vorliegenden Erfindung liegt darin, dass der Source-/Drain-Bereich 19 der mit dem Kondensator des Übertragungsgatetransistors verbundenen Seite im wesentlichen nur durch einen Fremdatombereich niedriger Konzentration dargestellt wird. Es ist nicht beabsichtigt, einen Fremdatombereich hoher Konzentration in dem Source-/ Drain-Bereich zu bilden.

Da die Halbleitereinrichtung eine periphere Schaltung mit einem Transistor der LDD-Anordnung und einen Speicherzellenabschnitt aufweist, der so konstruiert ist, dass das Ionenimplantieren mit hoher Konzentration nur an dem Verbindungsbereich zu dem Kondensator weggelassen werden kann, wird das Erzeugen von Kristallfehlern, die ein Verschlechtern der Auffrischeigenschaften verursachen, unterdrückt, dadurch kann zuverlässig eine Speicherzelle mit hoher Zuverlässigkeit und mit befriedigenden Auffrischeigenschaften hergestellt werden. Dieses Herstellungsverfahren kann auf einfache Weise durchgeführt werden, ohne dass es nötig ist, zu den herkömmlichen Verfahrensschritten neue Schritte hinzuzufügen.

Data supplied from the esp@cen t database - I2

Claims

1. DRAM mit einem Speicherzellenfeld (1) mit einer Mehrzahl von zum Speichern von Einheitsspeicherinformation ausgelegten Speicherzellen und einer peripheren Schaltung für eine Schreib-/Lesetätigkeit für das Speicherzellenfeld (1) von vorbestimmter gespeicherter Information auf der Hauptoberfläche eines Halbleitersubstrates (14), wobei jede Speicherzelle in der Nähe des jeweiligen Schnittpunktes einer Mehrzahl von sich über die Hauptoberfläche des Halbleitersubstrates (14) erstreckenden Wortleitungen (12) und einer Mehrzahl von sich in eine die Wortleitungen (12) kreuzenden Richtung erstreckenden Bitleitungen (13) gebildet ist und einen Übertragungsgatetransistor (10) mit einem in dem Halbleitersubstrat (14) gebildeten, mit der Bitleitung (12) verbundenen ersten Fremdatombereich (18a), einer mit der Wortleitung (12) verbundenen Gateelektrode und einem mit einem zweiten Fremdatombereich (19a) verbundenen Kondensator (11) aufweist und die periphere Schaltung einen Transistor (45a) eines Leitungstypes identisch zu dem des Übertragungsgatetransistors (10) aufweist, der ein Paar von in der Oberfläche des Halbleitersubstrates (14) gebildeten Fremdatombereichen, die jeweils einen Bereich (33) relativ hoher Konzentration und einen Bereich (31) relativ niedriger Konzentration enthalten, und eine auf der Oberfläche des Halbleitersubstrates (14) mit einem isolierenden Film (25a) dazwischen gebildete Gateelektrode (26a) aufweist, dadurch gekennzeichnet, dass die Fremdatomkonzentration des mit dem Kondensator (11) verbundenen zweiten Fremdatombereiches (19a) von dem ersten und zweiten Fremdatombereich (18a; 19a) des Übertragungsgatetransistors (10) der Speicherzelle im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung gesetzt ist.

2. DRAM nach Anspruch 1, dadurch gekennzeichnet, dass der mit der Bitleitung (13) des Übertragungsgatetransistors (10) der Speicherzelle verbundene erste Fremdatombereich (18a) und der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) Fremdatomkonzentrationen aufweisen, die im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung ist.

3. DRAM nach Anspruch 1 oder 2, gekennzeichnet durch eine Barrierenmetallschicht (13b) zwischen der Bitleitung (13) und dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10).

4. DRAM nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der mit dem Kondensator (11) des Übertragungsgatetransistors (10) der Speicherzelle verbundene zweite Fremdatombereich (19a) aus einem Bereich gebildet ist, der eine Fremdatomkonzentration aufweist, die im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung ist und dass der mit der Bitleitung (13) verbundene erste Fremdatombereich (18) aus einem ersten Bereich (18a) mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung und einem zweiten Bereich (18b) mit einer Fremdatomkonzentration grösser als der des ersten Bereiches (18a) gebildet ist.

5. DRAM nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Kondensator (11) eine elektrisch mit dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10) verbundene untere Elektrode (20), deren eines Ende sich über die Gateelektrode des Übertragungsgatetransistors (10) erstreckt, eine auf der Oberfläche der unteren Elektrode (20) gebildete dielektrische Schicht (21) und eine auf der Oberfläche der dielektrischen Schicht (21) gebildete obere Elektrode (22) aufweist, wobei eine Barrierenmetallschicht (28) zwischen der unteren Elektrode (20) und dem ersten Fremdatombereich (18a) des Übertragungsgatetransistors (10) vorgesehen ist.

6. DRAM nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die untere Elektrode (20) des Kondensators (11) entweder ein hoch wärmefestes Metall oder ein hoch wärmefestes Metallsilizid enthält.

7. DRAM gemäss dem Oberbegriff des Patentanspruches 1, dadurch gekennzeichnet, dass mindestens der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) von dem ersten und zweiten Fremdatombereich (18a, 19a) des Übertragungsgatetransistors (10) der Speicherzelle einen Bereich in dem inneren peripheren Bereich entlang der pn-Übergangsebene des Halbleitersubstrates (14) und des zweiten Fremdatombereiches (19a) aufweist mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung.

8. DRAM nach Anspruch 7, dadurch gekennzeichnet, dass der mit der Bitleitung (13) des Übertragungsgatetransistors (10) verbundene erste Fremdatombereich (18a) und der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) einen Bereich in dem inneren peripheren Bereich entlang der pn-Übergangsebene des Halbleitersubstrates (14) und des ersten und zweiten Fremdatombereiches (18a, 19a) aufweist mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung.

9. DRAM nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass der mit der Bitleitung (13) verbundene erste Fremdatombereich (18) aus einem ersten Bereich (18a) mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung und einem zweiten Bereich (18b) mit einer Konzentration grösser als der des ersten Bereiches (18a) gebildet ist.

10. DRAM nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass der Kondensator (11) einen mit dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10) verbundenen dritten Fremdatombereich (51), der auf der Oberfläche des Halbleitersubstrates (14) gebildet ist, eine auf dem dritten Fremdatombereich (51) gebildete dielektrische Schicht (53) und eine auf der Oberfläche der dielektrischen Schicht (53) gebildete obere Elektroden-schicht (54) aufweist.

11. Verfahren zum Herstellen eines DRAMs mit einem Fremdatombereich einer Konzentration enthaltenden ersten Transistor (10) und einem Fremdatombereich einer Doppelanordnung mit zwei verschiedenen Konzentrationen enthaltenden zweiten Transistor (45a), die auf dem gleichen Halbleitersubstrat (14) gebildet sind, mit den Schritten:: Bilden der Gateelektrode (12) des ersten Transistors (10) und der Gateelektrode (26a) des zweiten Transistors (45a) auf der Hauptoberfläche des Halbleitersubstrates (14) mit isolierenden Gatefilmen (16, 25a) dazwischen, Implantieren von Fremdatomionen (30a) in das Halbleitersubstrat (14) unter Benutzung der Gateelektroden (12, 26a) als Maske zum gleichzeitigen Bilden von Fremdatombereichen (31, 31) relativ niedriger Konzentration des zweiten Transistors (45a) und von Fremdatombereichen (18a, 19a) des ersten Transistors (10) mit einer Konzentration gleich der des Fremdatombereiches (31) relativ niedriger Konzentration und Implantieren von Fremdatomionen (30b) in das Halbleitersubstrat (14) unter Benutzung der Gateelektrode (26a) des zweiten Transistors (45a) als Maske nach Bedecken der Oberfläche der Bereiche des ersten Transistors (10) zum Bilden von Fremdatombereichen (33, 33) relativ hoher Konzentration des zweiten Transistors (45a).

12. Verfahren zum Herstellen eines DRAMs mit einem Paar von Fremdatombereichen mit einer Doppelstruktur mit verschiedenen Konzentrationen in einem Halbleitersubstrat (14) und einer auf der Oberfläche des Fremdatombereiches gebildeten leitenden Schicht (13), mit den Schritten:: Bilden einer isolierenden Schicht (16) und einer Gateelektrode (12) auf der Oberfläche des Halbleitersubstrates (14), Implantieren von Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode (12) als Maske zum Bilden von Fremdatombereichen (18a, 19a) relativ niedriger Konzentration, Bilden der Fremdatome enthaltenden leitenden Schicht (13) auf der Oberfläche des Fremdatombereiches (18a, 19a) niedriger Konzentration und Diffundieren der in der leitenden Schicht (13) enthaltenen Fremdatome in das Halbleitersubstrat (14) durch Wärmebehandlung zum Bilden eines Fremdatombereiches (18b) relativ hoher Konzentration.

13. Verfahren zum Herstellen eines DRAMs mit einem Speicherzellenfeld (1) und einer peripheren Schaltung auf dem gleichen Halbleitersubstrat (14), bei dem die Speicherzelle des Speicherzellenfeldes (1) einen ersten MOS-Transistor (10), einen mit einem eines Paares von Fremdatombereichen (18, 19) des ersten MOS-Transistors (10) verbundenen Kondensator (11) und einer Bitleitung (13) aufweist, und bei dem die periphere Schaltung einen zweiten MOS-Transistor (45a) eines Leitungstypes identisch zu dem des ersten MOS-Transistors (10) aufweist, nach Anspruch 11, gekennzeichnet durch die Schritte: : Bilden in der Reihenfolge einer ersten Elektroden-schicht (20), einer dielektrischen Schicht (21) und einer zweiten leitenden Schicht (22) des mit einem der Fremdatombereiche (18a, 19a) niedriger Konzentration des ersten MOS-Transistors (10) verbundenen Kondensators (11) und Bilden einer isolierenden Zwischenschicht (14) auf der Oberfläche des ersten MOS-



DEUTSCHES
PATENTAMT

21 Aktenzeichen: P 40 34 169.0
22 Anmeldetag: 26. 10. 90
43 Offenlegungstag: 2. 5. 91

DE 40 34 169 A 1

30 Unionspriorität: 32 33 31
26.10.89 JP 1-281409 06.09.90 JP 2-238790

71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

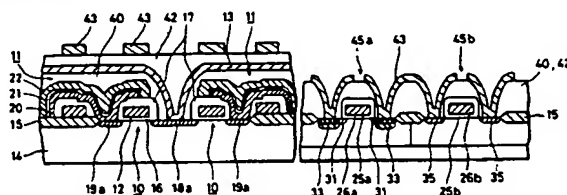
74 Vertreter:
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

72 Erfinder:
Ogoh, Ikuro; Nagatomo, Masao, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

54 DRAM mit einem Speicherzellenfeld und Herstellungsverfahren dafür

Der erfindungsgemäße DRAM weist ein Speicherzellenfeld mit Speicherzellen, die aus einem Übertragungsgatetransistor (10) und einem Kondensator (11) zusammengesetzt sind und eine periphere Schaltung mit einem MOS-Transistor (45a) mit einer LDD-Anordnung auf. Mindestens der mit dem Kondensator des Übertragungsgatetransistors verbundene Source-/Drain-Bereich (19) ist aus einem Fremdatombereich (19a) niedriger Konzentration gebildet. Der Fremdatombereich niedriger Konzentration weist eine Fremdatomkonzentration im wesentlichen gleich der des Source-/Drain-Bereiches (31) des LDD-MOS-Transistors der peripheren Schaltung auf. Der Source-/Drain-Bereich des Übertragungsgatetransistors niedriger Konzentration wird gebildet, indem dessen Oberfläche zum Zeitpunkt der Ionenimplantation hoher Konzentration zum Bilden des Source-/Drain-Bereiches hoher Konzentration des MOS-Transistors der peripheren Schaltung maskiert wird. Indem der Schritt des Ionenimplantierens hoher Konzentration ausgelassen wird, können die Substratfehler des Source-/Drain-Bereiches des Übertragungsgatetransistors zum Unterdrücken des Leckens der Ladungen aus dem Kondensator ausgeschaltet werden.



DE 40 34 169 A 1

Die vorliegende Erfindung bezieht sich auf einen DRAM (Dynamischer Direktzugriffsspeicher) mit einem Speicherzellenfeld und auf ein Herstellungsverfahren dafür. Insbesondere betrifft die Erfindung einen DRAM, bei dem die Speicherzellen einen Transistor und einen Kondensator aufweisen.

Unter Bezugnahme auf das Blockschaltbild in Fig. 13 soll die Schaltungsanordnung eines allgemeinen dynamischen Halbleiterspeichers beschrieben werden. Der dort gezeigte DRAM weist ein Speicherzellenfeld 1 mit einer Mehrzahl von auf eine Matrixweise zum Speichern von Einheitsspeicherinformation angeordneten Speicherzellen auf. Er weist weiterhin als periphere Schaltungen einen Zeilen- und Spaltenadreßpuffer zum Aufnehmen von von extern angelegten Adreßsignalen ($A_0 - A_9$ für den Fall von 1 Mbit) zum Auswählen einer Speicherzelle, einen Zeilendecodierer 3 und einen Spaltendecodierer 4 zum Spezifizieren einer Speicherzelle durch Decodieren des Adreßsignals, einen Leseauf-
frischverstärker 5 zum Verstärken und Auslesen des in der spezifizierten Speicherzelle gespeicherten Signales, einen Eingangsdatenpuffer 6 und einen Ausgangsdatenpuffer 7 für den Dateneingang und -ausgang und einen Taktgenerator 8 zum Erzeugen von Taktsignalen $\Phi 1$ und $\Phi 2$ auf. Der Taktgenerator 8 ist so ausgelegt, daß er ein von außen angelegtes Zeilenadreßtaktsignal RAS und ein Spaltenadreßtaktsignal CAS empfängt.

Fig. 14 zeigt ein Ersatzschaltbild einer Speicherzelle aus dem Speicherzellenfeld 1. Die Speicherzelle 9 ist aus einem Übertragungsgatetransistor 10 und einem Kondensator 11 gebildet. Die Gateelektrode des Übertragungsgatetransistors 10 ist mit einer Wortleitung 12 verbunden, dagegen ist einer der Source- und Drainbereiche mit einer Bitleitung 13 verbunden und der andere mit einer Elektrode des Kondensators 11.

Der DRAM speichert Daten gemäß des Vorhandenseins oder der Abwesenheit einer Signalladung in dem Kondensator der Speicherzelle. Die Bestimmung des Vorhandenseins oder der Abwesenheit von Daten wird dadurch ausgeführt, indem jede Wortleitung zum Auswählen einer Speicherzelle spezifiziert wird, durch Auslesen eines kleinen Signales auf der Bitleitung in Abhängigkeit von dem Vorhandensein oder der Abwesenheit einer Signalladung in dem Kondensator der ausgewählten Speicherzelle und durch Verstärken desselben durch einen Leseverstärker. Die in dem Speicherzellenkondensator gespeicherte Signalladung verteilt sich aufgrund von Störungen wie Leckströme, nachdem einige Zeit vergangen ist. Es ist daher notwendig, die in jeder Speicherzelle gespeicherte Information periodisch zum Aufrechterhalten der gespeicherten Daten auf den neuesten Stand zu bringen. Die Schalttätigkeit für diesen Zweck wird Auffrischtätigkeit genannt. Insbesondere wird, wie in den Fig. 13 und 14 gezeigt ist, die Auffrischtätigkeit ausgeführt, indem das kleine Signal aus der Speicherzelle mit einem für jede Bitleitung vorgesehenen Leseverstärker verstärkt wird, nachdem eine Wortleitung zum Aktivieren der mit dieser Wortleitung verbundenen Speicherzellen ausgewählt ist, und durch Wiedereinschreiben desselben in die Speicherzelle. Durch das Ausführen der oben beschriebenen Auffrischtätigkeit in Bezug auf alle Wortleitungen, wobei die Zeilenadressen nacheinander durchlaufen werden, wird die gesamte Information innerhalb des Speicherzellenfeldes auf den neuesten Stand gebracht. Es ist notwendig, die Auffrischtätigkeit in einem Zeitabschnitt zu

wiederholen, der kürzer ist als der Zeitabschnitt, für den die Signalladung in der Speicherzelle gehalten wird. Je kürzer die Haltezeit der Signalladung ist, desto größer ist die Zahl der Auffrischtätigkeiten, die sogenannte Auffrischdivisionszahl.

Fig. 15 zeigt eine Schnittansicht der in Fig. 14 gezeigten Speicherzelle 9. Dort ist ein dicker Feldoxidfilm 15 zum Trennen der Einrichtung auf der Oberfläche eines Halbleitersubstrates 14 gebildet. Auf der Oberfläche des Halbleitersubstrates 14 sind eingeschlossen von dem Feldoxidfilm 15 der Übertragungsgatetransistor 10 und der Kondensator 11 gebildet.

Der Übertragungsgatetransistor 10 ist mit einer über der Oberfläche des Halbleitersubstrates 14 gebildeten Gateelektrode (Wortleitung) 12 versehen, wobei ein Gateoxidfilm 16 zwischen dem Substrat und der Gateelektrode vorgesehen ist. Der Umfang der Gateelektrode 12 ist durch einen Siliziumoxidfilm 17 zur Isolierung bedeckt. Insbesondere ist der an den Seiten der Gateelektrode 12 gebildete Siliziumoxidfilm 17 als sogenannte Seitenwandanordnung gebildet. Innerhalb des Halbleitersubstrates 14 sind n^- -Fremdatombereiche 18a und 19a niedriger Konzentration in einer Position, die selbstausgerichtet ist, mit der Gateelektrode 12 gebildet. Ebenfalls sind n^+ -Fremdatombereiche 18b und 19b hoher Konzentration an einer Position, die selbstausgerichtet ist, mit den Seitenwänden des Siliziumoxidfilmes 17 gebildet. Die sogenannte LDD-(Lightly Doped Drain)-Anordnung ist durch diese n^- -Fremdatombereiche 18a und 19a und die n^+ -Fremdatombereiche 18b und 19b gebildet. Die Fremdatombereiche dieser LDD-Anordnung werden zu den Source- und Drainbereichen 18 und 19.

Der Kondensator 11 weist eine übereinandergeschichtete bzw. gestapelte Anordnung aus einer mit Fremdatomen dotierten unteren Elektrode 20, einem durch einen Siliziumnitridfilm, Siliziumoxidfilm oder einen Vielschichtfilm, wie ein Siliziumnitridfilm und ein Siliziumoxidfilm, gebildeten dielektrischen Film 21 und einer aus Polysilizium mit Fremdatomdotierung gebildeten oberen Elektrode 22 auf. Die untere Elektrode 20 des Kondensators 11 ist über der Gateelektrode 12 des Übertragungsgatetransistors 10 gebildet. Ein Abschnitt der unteren Elektrode 20 ist mit einem der n^+ -Source- oder -Drainbereiche 19b des Übertragungsgatetransistors 10 verbunden. Ein derartiger Kondensator 11 mit einer Anordnung, bei der ein Abschnitt über einem Übertragungsgatetransistor 10 gebildet ist, wird gestapelter oder geschichteter Kondensator genannt, während DRAMs mit derartigen Kondensatoren DRAMs vom Stapeltyp genannt werden.

Obwohl es nicht gezeigt ist, sind MOS-(Metal Oxide Semiconductor)-Transistoren mit der obigen LDD-Anordnung in den peripheren Schaltungen benutzt.

Die Auswirkung der LDD-Anordnung eines MOS-Transistors wird im folgenden beschrieben. Der Einsatz der LDD-Anordnung wurde durch das Fortschreiten der hohen Integration bei DRAMs verursacht. Die Struktur der MOS-Transistoren wurde klein wegen der hohen Integration des DRAMs, wodurch Kurzkanaleffekte erzeugt wurden, die verschiedene Probleme aufwarfen. Die Intensität des elektrischen Feldes in dem Kanalbereich wurde wegen des kurzen Kanals erhöht, so daß heiße Ladungsträger in der Nähe des Drains erzeugt wurden. Diese werden innerhalb des Gateoxidfilmes gefangen und erzeugen Oberflächenniveaus. Dadurch wird eine Verschlechterung der Eigenschaften, wie eine Veränderung der Schwellenspannung und der

Abnahme der gegenseitigen Leitung verursacht. Eine LDD-Anordnung mit einem n^- -Fremdatombereich von niedriger Konzentration und einem n^+ -Fremdatombereich einer hohen Konzentration, die gegeneinander versetzt gebildet sind, wurde zum Verhindern der Eigenschaftsänderungen vorgeschlagen, die durch die heißen Ladungsträger verursacht wurden. Der n^- -Fremdatombereich niedriger Konzentration in der LDD-Anordnung verringert die elektrische Feldintensität zum Unterdrücken der Erzeugung von heißen Ladungsträgern, indem die Schärfe des Überganges des pn-Überganges vermindert wurde. Es ist notwendig, daß dieser n^- -Fremdatombereich niedriger Konzentration die Diffusionsbreite und die Fremdatomkonzentration sehr genau steuert.

Unter Bezugnahme auf die Fig. 16A bis 16I wird das Herstellungsverfahren für einen DRAM genauer erläutert. Derartige Herstellungsschritte für einen solchen DRAM sind in der JP-OS 63-44 756 zum Beispiel gezeigt. Zur Erleichterung der Beschreibung werden eine Speicherzelle 9 und der CMOS-Transistor (komplementärer MOS: im folgenden als CMOS beschrieben), die einen Abschnitt der peripheren Schaltung darstellen, als Beispiel genommen.

Wie in Fig. 16A gezeigt ist, wird der Feldoxidfilm 15 auf der Oberfläche des Halbleitersubstrates 14 durch das LOCOS-(Local Oxidation of Silicon)-Verfahren gebildet. In dem peripheren Schaltungsbereich des Halbleitersubstrates 14 sind zuvor ein p-Wannenbereich 23 und ein n-Wannenbereich 24 für die n-Kanal-MOS- (im folgenden als nMOS bezeichnet) und die p-Kanal-MOS- (im folgenden als pMOS bezeichnet)-Bildung gebildet, wodurch ein CMOS erzielt wird.

Wie in Fig. 16B gezeigt ist, werden ein dünner Siliziumoxidfilm und eine Polysiliziumschicht in dieser Reihenfolge auf der Oberfläche des Halbleitersubstrates 14 gebildet. Auf der Oberfläche der Polysiliziumschicht werden Oxidfilme 17 und 27 gebildet. Dann wird ein vorbestimmtes Muster unter Benutzung eines Lithographie- und Ätzverfahrens gebildet. So wird ein eine Speicherzelle darstellender nMOS-Gateoxidfilm 16, eine Gateelektrode 12, ein nMOS- und pMOS-Gateoxidfilm 25a und 25b, die die periphere Schaltung bilden, und Gateelektroden 26a und 26b gebildet.

Nachdem mit einem Photolack 29a der pMOS-Bereich der peripheren Schaltung bedeckt ist, werden Phosphor-(P)-Ionen oder Arsen-(As)-Ionen 30a einer niedrigen Konzentration in die Oberfläche des Substrates implantiert. Durch diesen Ionenimplantationsschritt wird bewirkt, daß n^- -Fremdatombereiche 18a und 19a des Übertragungsgatetransistors 10 der Speicherzelle und ein n^- -Fremdatombereich 31 des nMOS-Transistors der peripheren Schaltung gebildet werden.

Nachdem ein Oxidfilm über dem gesamten Substrat abgeschieden ist, wird dieser Oxidfilm anisotrop geätzt, wie es in Fig. 16D gezeigt ist. Dadurch werden Seitenwände 17a und 27a des Oxidfilmes an den Seitenwänden der Gateelektrode 12 des Übertragungsgatetransistors 10 und der Gateelektrode 26a des nMOS-Transistors der peripheren Schaltung gebildet.

Unter Benutzung dieser Seitenwände 17a und 27a des Oxidfilmes werden n-Fremdatomionen 30b, wie Arsen (As) oder Phosphor (P) hoher Konzentration in die Oberfläche des Substrates implantiert. Durch diese Ionenimplantation werden n^+ -Fremdatombereiche 18b und 19b des Übertragungsgatetransistors 10 und ein n^+ -Fremdatombereich 33 des nMOS-Transistors der peripheren Schaltung gebildet.

Durch die oben aufgeführten Schritte wird die LDD-Anordnung des Übertragungsgatetransistors 10 der Speicherzelle und die LDD-Anordnung des nMOS-Transistors der peripheren Schaltung eingebaut.

Wie in Fig. 16E gezeigt ist, bedeckt ein Photolack 29b die Oberfläche der Speicherzelle und des nMOS-Transistorbereiches der peripheren Schaltung, darauf folgt Implantieren von p-Typ-Fremdatomionen 32 hoher Konzentration, wie Bor (B, BF_2) in die Oberfläche des Substrates durch die Seitenwände 27a der Gateelektrode 26b. Durch diesen Ionenimplantierenden Schritt werden p^+ -Fremdatombereiche 35 und 35 eines pMOS-Transistors gebildet. Somit wird der pMOS-Transistor der peripheren Schaltung durch die obigen Schritte gebildet.

Als nächstes werden die Herstellungsschritte des Kondensators 11 der Speicherzelle erläutert. Wie in Fig. 16F gezeigt ist, wird ein Zwischenschichtfilm 41 unter Benutzung des CVD-(Chemical Vapor Deposition)-Verfahrens auf der Oberfläche des Substrates, in der Gateelektroden und ähnliches des Transistors gebildet sind, abgeschieden. Danach wird der Zwischenschichtfilm 41 unter Benutzung von Lithographie- und Ätzverfahren zum Bilden eines Kontaktbereiches bemustert, wobei der Kontaktbereich die untere Elektrode 20 des Kondensators mit dem Substrat verbindet.

Dann wird, wie in Fig. 16G gezeigt ist, Polysilizium unter Benutzung des CVD-Verfahrens abgeschieden. Es ist notwendig, das Polysilizium mit n-Typ-Fremdatomen zu dotieren, damit es elektrisch leitfähig wird. Diese werden durch Dotieren mit einem Gas, wie Phosphin (PH_3), zu dem Zeitpunkt des CVD-Schrittes, oder durch Implantieren und Eintreiben von Phosphor (P) oder Arsen (As) unter Benutzung des Ionenimplantationsverfahrens nach dem Abscheiden des Polysiliziums oder nach dem vorbestimmten Bemustern eingeführt. Dann wird die untere Elektrode 20 des Kondensators 11 durch Bemustern dieser Polysiliziumschicht gebildet.

Wie in Fig. 16H gezeigt ist, wird ein auf einem Siliziumnitridfilm, Siliziumoxidfilm oder einem aus diesen zusammengesetzten Film gebildeter dielektrischer Kondensatorfilm 21 unter Benutzung des CVD-Verfahrens gebildet. Eine dotierte Polysiliziumschicht 22 wird darauf unter Benutzung des CVD-Verfahrens abgeschieden. Dann wird das Bemustern mit einem vorbestimmten Muster unter Benutzung des Photolithographie- und Ätzverfahrens ausgeführt. So wird der Kondensator 11 gebildet.

Wie in Fig. 16I gezeigt ist, wird ein isolierender Zwischenschichtfilm 40 über der Oberfläche des Substrates, wo Einrichtungen, wie Transistoren und Kondensatoren, gebildet sind, gebildet. Darauf wird ein vorbestimmter Bereich zum Bilden einer Bitleitung 13 geöffnet.

Nach dem Bilden eines zweiten isolierenden Zwischenschichtfilmes 42 wird ein vorbestimmter Bereich zum Bilden einer Verdrahtungsschicht 43 geöffnet.

So wird gemäß der obigen Schritte ein DRAM hergestellt, der einen Transistor mit der LDD-Anordnung aufweist.

Wie durch die obige Beschreibung ausgeführt ist, werden der Source- und Drainbereich 18 und 19 der LDD-Anordnung eines Übertragungsgatetransistors 10 der Speicherzelle in einem DRAM durch Ionenimplantation hergestellt. Wenn die n^+ -Fremdatombereiche 18b und 19b hoher Konzentration durch das Ionenimplantierende Verfahren gebildet sind, sind viele Kristallfehlstellen in der Oberfläche des Halbleitersubstrates 14 gebildet. Die Kristallfehler werden zum Teil durch ein

späteres Wärmeverfahren zur Aktivierung geheilt, aber nicht vollständig. In dem Fall, in dem die untere Elektrode 20 des Kondensators 11 über dem Source- und Drainbereich 19 gebildet ist, wo die Kristallfehler bleiben, geht die in dem Kondensator 11 gespeicherte Signalladung durch die Kristallfehler innerhalb des Source-Drain-Bereiches 19 und fließt zu der Substratseite und erzeugt Leckströme. Aufgrund der Verringerung der Kondensatorkapazität, die mit der Miniaturisierung der Einrichtungsstruktur in den letzten Jahren einherging, wurde das Verschwinden der Signalladung durch Leckströme aus dem Kondensator ein großes Problem. Dadurch wird die Haltezeit der in den Speicherzellen gespeicherten Signalladung kürzer, dies führt zu den Problemen, daß eine Notwendigkeit zur Erhöhung der Zahl der Auffrischtätigkeiten besteht.

Es gab ebenfalls ein Problem des schlechten Kontaktes zwischen dem Substrat 14 und der Bitleitung 13 oder der unteren Elektrode 20 des Kondensators 11. Dies wurde einer Vielfachoxidation eines Oxidfilmes durch einen Fremdatomeffekt zugeschrieben, die auf der Oberfläche des Halbleitersubstrates 14 erzeugt wurde, wo die Fremdatombereiche 18b und 19b hoher Konzentration gebildet sind, dieses wird durch in die CVD-Kammer eintretende Luft verursacht, die eintritt, wenn der Halbleiter in die Kammer eingeführt wird.

Ein Anlauf zum Unterdrücken des Auftretens von Leckströmen aus dem Kondensator ist in der JP-OS 64-80 065 gezeigt. Fig. 17 ist eine Schnittansicht des in der oben genannten Offenlegungsschrift gezeigten DRAMs. Wie in Fig. 17 gezeigt ist, ist die Schnittanordnung eines Speicherzellenfeldes und der peripheren Schaltungseinrichtungen gezeigt. Auf dem p-Typ-Siliziumsubstrat 15 sind ein p-Wannenbereich 14a und ein n-Wannenbereich 14b gebildet. Das Speicherzellenfeld und ein nMOS-Transistor 100 der peripheren Schaltung sind in dem p-Wannenbereich 14a gebildet, während ein pMOS-Transistor 110 in dem n-Wannenbereich 14b gebildet ist. Die das Speicherzellenfeld darstellende Speicherzelle ist aus einem Übertragungsgatetransistor 10 und einem Kondensator 11 zusammengesetzt, ähnlich wie die Speicherzelle in Fig. 15. Ein Vergleich der Anordnungen der zweiten Speicherzelle von Fig. 17 mit der ersten Speicherzelle von Fig. 15 zeigt, daß der Übertragungsgatetransistor 10 der zweiten Speicherzelle die sogenannte LDD-Anordnung aufweist, bei der ein n^- -Fremdatombereich 19a niedriger Konzentration durch Ionenimplantation des Source-/Drain-Bereiches 19 auf der mit dem Kondensator 11 verbundenen Seite gebildet ist, und ein n^+ -Fremdatombereich 19b hoher Konzentration durch Wärmediffusion von Fremdatomen von der unteren Elektrode 20 des Kondensators 11 gebildet ist. Der Source-/Drainbereich 18 der mit der Bitleitung 13 verbundenen Seite weist die LDD-Anordnung auf, wobei ein n^- -Fremdatombereich 18a niedriger Konzentration durch Ionenimplantation gebildet ist und ein n^+ -Fremdatombereich 18b hoher Konzentration ebenfalls durch Ionenimplantation hergestellt ist. Der Übertragungsgatetransistor 10 dieses Beispiels unterdrückt die Erzeugung von Kristallfehlern in der Oberfläche des Substrates durch Ionenimplantation zum Verringern der Erzeugung von Leckströmen aus dem Kondensator, indem ein Fremdatombereich 18b hoher Konzentration gebildet wird, ohne daß das Ionenimplantationsverfahren über dem Source-/Drain-Bereich 19 der mit dem Kondensator verbundenen Seite benutzt wird.

Die Bitleitung 13 wird durch eine Drei-Schicht-An-

ordnung dargestellt, bei der eine Barrierenmetallschicht 13a, eine Aluminiumschicht 13b und ein Schutzfilm 13c in dieser Reihenfolge aufeinander geschichtet werden. Die Barrierenmetallschicht 13a ist aus einer wärmefesten Metallsilizidschicht, wie MoSi_2 oder ähnlichem und einer wärmefesten Metallschicht gebildet zum Verhindern, daß monokristallines Silizium in Kontakt zwischen der Aluminiumschicht 13b und dem Source-/Drain-Bereich 18 ausfällt.

Auf der rechten Seite in Fig. 17 ist eine Schnittansicht eines CMOS gezeigt, der die periphere Schaltung darstellt. Der nMOS-Transistor 100 des CMOS ist aus einem isolierenden Gatefilm 101, einer Gateelektrode 102 und einem Paar von Source-/Drain-Bereichen 103 und 104 zusammengesetzt. Jeder der Source-/Drain-Bereiche 103 und 104 weist eine LDD-Anordnung auf, die aus n^- -Fremdatombereichen 103a und 104a niedriger Konzentration und n^+ -Fremdatombereichen 103b und 104b hoher Konzentration gebildet sind. Auf den Source-/Drain-Bereichen 103 und 104 sind n^+ -Fremdatombereiche 103c und 104c gebildet. Die n^+ -Fremdatombereiche 103c und 104c dienen zum Verhindern, daß die Source-/Drain-Bereiche 103 und 104 Kurzschlüsse mit Verdrahtungsschichten 105 und 105 bilden.

Der pMOS-Transistor 110 des CMOS ist aus einem isolierenden Gatefilm 111, einer Gateelektrode 112 und einem Paar von Source-/Drain-Bereichen 113 und 114 zusammengesetzt. Beide Source- und Drainbereiche 113 und 114 weisen eine LDD-Anordnung mit p^- -Fremdatombereichen 113a und 114a niedriger Konzentration und p^+ -Fremdatombereichen 113b und 114b hoher Konzentration auf.

Die Hauptschritte des Herstellens des Source-/Drain-Bereiches des Übertragungsgatetransistors der Speicherzelle wird im folgenden erläutert. Fig. 18A bis 18D zeigen die Hauptherstellungsschritte des in Fig. 17 gezeigten DRAMs in einer Schnittansicht. Fig. 18A zeigt die Schritte des Ionenimplantierens zum Bilden von Source und Drain des Übertragungsgatetransistors 10 in der Speicherzelle und des nMOS-Transistors 100 der peripheren Schaltung. Wie in Fig. 18A gezeigt ist, bedeckt ein Photolack 120 das Gebiet zum Bilden des pMOS-Transistors 110. Danach werden Ionen des Phosphors (P) oder Arsens (As) unter Bedingungen der Dosierung von 10^{13} cm^{-2} und der Implantationsenergie von 60–120 keV implantiert. Dieses führt zu der Bildung von n^- -Fremdatombereichen 18a und 19a niedriger Konzentration des Übertragungsgatetransistors 10 und von n^- -Fremdatombereichen 103a und 104a des nMOS-Transistors 100.

Wie in Fig. 18B gezeigt ist, wird der Photolack 120 entfernt, und ein Photolack 121 bedeckt das Speicherzellenfeld und den Bereich zur Bildung des nMOS-Transistors 100 der peripheren Schaltung. Dann wird das Implantieren von BF_2 - oder B-Ionen in das p-Typ-Halbleitersubstrat 14 mit einer Dosierung von 10^{13} cm^{-2} und einer Implantationsenergie von 60–100 keV ausgeführt. Dies führt zu p^- -Fremdatombereichen 113a und 114a niedriger Konzentration des pMOS-Transistors 110.

Unter Bezugnahme auf Fig. 18C wird der Schritt zum Bilden von Fremdatombereichen hoher Konzentration des Übertragungsgatetransistors 10 im folgenden beschrieben. Auf der Oberfläche des n^- -Fremdatombereiches 18a des Übertragungsgatetransistors 10 wird die untere Elektrode 20 des Kondensators 11 gebildet. Implantation von Arsen- oder Phosphorionen wird in die untere Elektrode 20 des Kondensators 11 mit einer Do-

sierung von 10^{15} cm^{-2} und einer Implantierungsenergie von 75–85 keV durchgeführt. Dann werden die in die untere Elektrode 20 eingeführten n-Typ-Fremdatome zu der Oberfläche des p-Typ-Siliziumsubstrates 14 durch eine Wärmebehandlung diffundiert. Dieser Diffusionsschritt bewirkt, daß der n⁺-Fremdatombereich 19b hoher Konzentration des Source-/Drain-Bereiches 19 gebildet wird.

Fig. 18D zeigt den Schritt des Bildens des Bereiches hoher Konzentration des Source-/Drain-Bereiches 18 des Übertragungsgatetransistors. In dem Speicherzellenfeld wird eine isolierende Zwischenschicht 122 über der Speicherzelle gebildet. Die isolierende Zwischenschicht 122 weist ein Kontaktloch 123 auf, das zu dem Source-/Drain-Bereich 18 des Übertragungsgatetransistors 10 führt. In diesem Zustand bedeckt ein Photolack 124 das Gebiet zum Bilden des pMOS-Transistors 110 der peripheren Schaltung. Dann werden Arsenionen in die Oberfläche des p-Typ-Siliziumsubstrates 14 mit einer Dosierung von 10^{15} cm^{-2} und einer Implantierungsenergie von 110–130 keV implantiert. Dies führt zur Bildung von dem n⁺-Fremdatombereich 18b hoher Konzentration des Source-/Drain-Bereiches 18 des Übertragungsgatetransistors 10. Gleichzeitig werden n⁺-Fremdatombereiche 103c und 104c hoher Konzentration in dem nMOS-Transistor 100 der peripheren Schaltung gebildet.

Daher ist bei dem zweiten DRAM der Source-/Drainbereich 19 der mit dem Kondensator des Übertragungsgatetransistors 10 verbundenen Seite durch eine LDD-Anordnung dargestellt, die einen n⁻-Fremdatombereich 19a niedriger Konzentration durch Ionenimplantation und einen n⁺-Fremdatombereich 19b hoher Konzentration durch die Wärmediffusion aufweist. Der Source-/Drain-Bereich 18 der mit der Bitleitung 13 verbundenen Seite wird durch eine LDD-Anordnung dargestellt, die einen n⁻-Fremdatombereich 18a niedriger Konzentration durch Ionenimplantation und einen n⁺-Fremdatombereich 18b hoher Konzentration ebenfalls durch Ionenimplantation aufweist.

Bei dem oben erwähnten zweiten Beispiel ist ein Verfahren vorgeschlagen, bei dem der Hochkonzentrationsbereich des Source-/Drainbereiches des Übertragungsgatetransistors durch Wärmediffusion von der unteren Elektrode des Kondensators gebildet ist. Dies dient zum Unterdrücken der Erzeugung von Leckströmen von dem Kondensator, die durch Fehler der Oberfläche des Substrates aufgrund der Hochkonzentrations-Ionenimplantation verursacht werden. Der schädliche Effekt der Hochtemperatur-Wärmebehandlung wird jedoch signifikant im Verhältnis zu der Erhöhung der Speicherkapazität des DRAMs auf 16 Mb oder 64 Mb und ist nicht gewünscht. Das heißt, der Kanal, wie der eines MOS-Transistors, wird aufgrund der Miniaturisierung der Einrichtungsanordnung verkürzt, die mit der Verbesserung der Integration der DRAMs einhergeht. Wenn die Wärmebehandlung bei hoher Temperatur unter solchen Bedingungen stattfindet, diffundiert der Fremdatombereich in dem Substrat und verschlimmert den Kurzkanaleffekt. Daher wurden bei den Herstellungsverfahren für DRAMs die Techniken des Hochtemperaturverfahrens zugunsten der des Nieder-temperaturverfahrens geändert. Insgesamt läßt sich daher sagen, daß das Verfahren zum Bilden eines Hochkonzentrationsbereiches des Source-/Drain-Bereiches des obigen Übertragungsgatetransistors durch Wärmediffusion den Kurzkanaleffekt und ähnliches bei MOS-Transistoren von DRAMs verursacht, wodurch Hochin-

tegration des DRAMs verhindert wird.

In dem zweiten Beispiel ist der n⁺-Fremdatombereich 18b hoher Konzentration durch Ionenimplantation in dem Source-/Drain-Bereich 18 der mit der Bitleitung verbundenen Seite gebildet. Dieses fördert das Erzeugen von zusätzlichen Oxidfilmen, wie zuvor ausgeführt wurde. Dadurch tritt das Problem auf, daß ein effektiver ohmscher Kontakt zwischen der Bitleitung und dem Source-/Drain-Bereich 18 verhindert wird.

Es ist daher Aufgabe der Erfindung, die Auffrischungseigenschaften der Speicherzelle in einem DRAM zu verbessern, dabei soll insbesondere das Lecken von gespeicherter Ladung unterdrückt werden, das zwischen dem Kondensator und der Source und dem Drain des Übertragungsgatetransistors in der Speicherzelle des DRAMs auftritt, wobei gleichzeitig der Kontaktwiderstand des Bitleitungskontaktes des DRAMs verringert wird. Es ist ebenfalls Aufgabe der Erfindung, ein Verfahren zum Herstellen eines DRAMs vorzusehen, durch das ein DRAM hergestellt werden kann, bei dem die obigen Probleme nicht auftreten.

Erfindungsgemäß ist ein DRAM vorgesehen, der ein Speicherzellenfeld mit einer Mehrzahl von Speicherzellen, die zum Speichern von Einheitsspeicherinformation ausgelegt sind, und eine periphere Schaltung für eine Schreib- und Lesetätigkeit einer vorbestimmten gespeicherten Information bezüglich des Speicherzellenfeldes auf der Hauptoberfläche eines Halbleitersubstrates aufweist. Die Speicherzelle ist in der Nähe des Schnittpunktes einer Mehrzahl von sich auf der Hauptoberfläche des Halbleitersubstrates erstreckenden Wortleitungen und einer sich in einer Richtung quer zu den Wortleitungen erstreckenden Mehrzahl von Bitleitungen gebildet. Die Speicherzelle weist einen Übertragungsgatetransistor mit einem in dem Halbleitersubstrat gebildeten und mit der Bitleitung und einer mit der Wortleitung verbundenen Gateelektrode verbundenen ersten Fremdatombereich und einen mit einem zweiten Fremdatombereich des Übertragungsgatetransistors verbundenen Kondensator auf. Die periphere Schaltung weist einen Transistor von einem Leitungstyp identisch zu dem des Übertragungsgatetransistors auf, wobei der Transistor der peripheren Schaltung ein Paar von Fremdatombereichen enthält, die durch einen Bereich von relativ hoher Konzentration und einen Bereich von relativ niedriger Konzentration gebildet sind, wobei jeder in der Oberfläche des Halbleitersubstrates gebildet ist. Weiter weist der Transistor der peripheren Schaltung eine auf der Oberfläche des Halbleitersubstrates gebildete und von dem Halbleitersubstrat durch einen isolierenden Film getrennte Gateelektrode auf. Von dem Paar von Fremdatombereichen des Übertragungsgates der Speicherzelle ist mindestens die Fremdatomkonzentration des mit dem Kondensator verbundenen zweiten Fremdatombereiches im wesentlichen gleich der Fremdatomkonzentration des Fremdatombereiches der relativ niedrigen Konzentration des Transistors der peripheren Schaltung gesetzt.

Gemäß einer Weiterbildung der Erfindung weisen beide des Fremdatombereichspaares des Übertragungsgatetransistors der Speicherzelle des DRAMs eine Fremdatomkonzentration im wesentlichen gleich zu der Konzentration des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung auf.

Gemäß einer Weiterbildung der Erfindung ist der mit dem Kondensator des Übertragungsgatetransistors der Speicherzelle des DRAMs verbundene zweite Fremda-

tombereich mit einem Bereich mit einer Fremdatomkonzentration im wesentlichen gleich zu der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung versehen. Der mit der Bitleitung verbundene erste Fremdatombereich ist mit einem ersten Bereich mit einem Fremdatombereich im wesentlichen gleich dem des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung und einem zweiten Bereich mit einer Konzentration höher als die des ersten Bereiches versehen.

Nach einer Weiterbildung der Erfindung weist von dem Paar der Fremdatombereiche des Übertragungsgatetransistors der Speicherzelle des DRAMs mindestens der mit dem Kondensator verbundene zweite Fremdatombereich einen Bereich auf, der eine Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich enthält.

Nach einer Weiterbildung der Erfindung weisen beide der Fremdatombereiche des Übertragungsgatetransistors der Speicherzelle des DRAMs einen Bereich mit einer Fremdatomkonzentration auf, die im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich ist.

Gemäß einer Weiterbildung der Erfindung weist der mit dem Kondensator des Übertragungsgatetransistors der Speicherzelle verbundene zweite Fremdatombereich einen Bereich mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung in dem inneren peripheren Bereich entlang der pn-Übergangsebene zwischen dem Halbleitersubstrat und dem Fremdatombereich auf. Der mit der Bitleitung verbundene erste Fremdatombereich ist aus einem ersten Bereich mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches relativ niedriger Konzentration des Transistors der peripheren Schaltung und einem zweiten Bereich mit einer Konzentration höher als die des ersten Bereiches zusammengesetzt.

Die Aufgabe wird auch gelöst durch ein Verfahren zum Herstellen eines DRAMs, das die folgenden Schritte zum Herstellen eines DRAMs mit einem ersten Transistor mit einem Fremdatombereich von einer Konzentration und einem zweiten Transistor mit einem Fremdatombereich einer doppelten Diffusionsanordnung, wobei zwei verschiedene Konzentrationen in dem gleichen Halbleitersubstrat gebildet sind, aufweist: Zuerst werden eine Gateelektrode des ersten Transistors und eine Gateelektrode des zweiten Transistors auf der Hauptoberfläche des Halbleitersubstrates gebildet, wobei ein isolierender Gatefilm jeweils dazwischen vorgesehen ist.

Fremdatomionen werden in das Halbleitersubstrat unter Benutzung der Gateelektroden als Masken implantiert zum gleichzeitigen Bilden eines Fremdatombereiches von relativ niedriger Konzentration des zweiten Transistors und eines Fremdatombereiches des ersten Transistors mit einer Fremdatomkonzentration gleich der des Fremdatombereiches niedriger Konzentration. Dann wird die Oberfläche des Bereiches des ersten

Transistors bedeckt, darauffolgend werden Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode des zweiten Transistors als Maske so implantiert, daß ein Fremdatombereich von relativ hoher Konzentration des zweiten Transistors gebildet wird.

Gemäß einer Weiterbildung der Erfindung weist das Verfahren zum Herstellen eines DRAMs mit einem Paar von Fremdatombereichen mit einer Doppelstruktur verschiedener Konzentrationen in dem Halbleitersubstrat und einer auf der Oberfläche dieses Fremdatombereiches gebildeten leitenden Schicht folgende Schritte auf:

Zuerst wird eine isolierende Schicht und eine Gateelektrode auf der Oberfläche des Halbleitersubstrates gebildet.

Dann werden Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode als Maske zum Bilden eines Fremdatombereiches von relativ niedriger Konzentration implantiert.

Eine leitende Schicht mit Fremdatomen wird auf der Oberfläche des Fremdatombereiches niedriger Konzentration gebildet, wodurch in der leitenden Schicht enthaltene Fremdatome in das Halbleitersubstrat durch eine Wärmebehandlung zum Bilden eines Fremdatombereiches von relativ hoher Konzentration diffundieren.

Nach einer Weiterbildung der Erfindung weist das Verfahren zum Bilden einer Halbleitereinrichtung mit einem Speicherzellenfeld und einer peripheren Schaltung auf dem gleichen Halbleitersubstrat, bei dem die Speicherzelle des Speicherzellenfeldes einen ersten MOS-Transistor und einen Kondensator enthält und die Bitleitung jeweils mit dem Paar der Fremdatombereiche des ersten MOS-Transistors verbunden ist und die periphere Schaltung einen zweiten MOS-Transistor eines Leitungstypes identisch zu dem des ersten MOS-Transistors enthält, die folgenden Schritte auf:

Zuerst wird eine Gateelektrode des ersten MOS-Transistors und eine Gateelektrode des zweiten MOS-Transistors auf der Hauptoberfläche des Halbleitersubstrates mit einer isolierenden Schicht dazwischen gebildet.

Dann werden Fremdatomionen in die Hauptoberfläche des Halbleitersubstrates unter Benutzung der Gateelektroden des ersten und des zweiten MOS-Transistors als Masken zum Bilden eines Niedrig-Konzentrations-Fremdatombereiches des ersten MOS-Transistors und eines Niedrig-Konzentrations-Fremdatombereiches des zweiten MOS-Transistors implantiert. Nachdem die Oberfläche des ersten MOS-Transistors bedeckt ist, werden Fremdatombereiche in das Halbleitersubstrat unter Benutzung der Gateelektrode des zweiten MOS-Transistors als Maske zum Bilden eines Hochkonzentrations-Fremdatombereiches des zweiten MOS-Transistors implantiert. Auf einem Niedrig-Konzentrations-Fremdatombereich des ersten MOS-Transistors werden aufeinanderfolgend eine erste leitende Schicht, eine dielektrische Schicht und eine zweite leitende Schicht des Kondensators gebildet. Auf der Oberfläche des ersten MOS-Transistors wird eine isolierende Zwischenschicht mit einer Öffnung dadurch zu dem anderen Niedrig-Konzentrations-Fremdatombereich des ersten MOS-Transistors gebildet. Oberhalb der isolierenden Zwischenschicht und in der Öffnung wird eine durch eine leitende Schicht mit Fremdatomen dargestellte Bitleitung gebildet.

Gemäß der Erfindung werden die Fremdatombereiche des Übertragungsgatetransistors, der einen Teil der Speicherzelle darstellt, nur durch Fremdatombereiche

niedriger Konzentration gebildet. Fremdatombereiche hoher Konzentration durch Hochkonzentrations-Ionenimplantation werden nicht gebildet. Dieses schließt in dem Halbleitersubstrat erzeugte Kristallfehler aufgrund der Ionenimplantation für die Bildung von Fremdatombereichen hoher Konzentration aus. Damit wird das Lecken der in dem Kondensator gespeicherten Signalladung unterdrückt. Weiterhin wird die Haltezeit der Signalladung des Kondensators größer, so daß die Eigenschaften der Auffrischtätigkeit der Speicherzelle verbessert werden. Es wird ebenfalls die Erzeugung von zufälligen Oxidfilmen aufgrund des multiplen Effektes von Fremdatomen, die in dem Halbleitersubstrat eingeschlossen sind, unterdrückt. Folglich kann der Kontakt zwischen den Fremdatombereichen des Übertragungsgatetransistors und der Bitleitung oder der unteren Elektrode des Kondensators verbessert werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Schnittansicht der Struktur eines DRAMs gemäß einer ersten Ausführungsform;

Fig. 2A bis 2I Schnittansichten des in Fig. 1 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 3 eine Schnittansicht des DRAMs nach einer zweiten Ausführungsform;

Fig. 4A und 4B Schnittansichten des in Fig. 3 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 5 eine Schnittansicht der Struktur eines DRAMs einer dritten Ausführungsform;

Fig. 6 die Schnittansicht der Struktur eines DRAMs einer vierten Ausführungsform;

Fig. 7 eine Schnittansicht des in Fig. 6 gezeigten DRAMs zu einem bestimmten Herstellungsschritt;

Fig. 8 eine Schnittansicht der Struktur einer Modifikation des DRAMs der vierten Ausführungsform;

Fig. 9 eine Schnittansicht der Struktur eines DRAMs einer fünften Ausführungsform;

Fig. 10 eine Schnittansicht der Struktur eines DRAMs mit einem Kondensator vom Planartyp gemäß einer sechsten Ausführungsform;

Fig. 11A bis 11J Schnittansichten des in Fig. 10 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 12 ein Diagramm der Beziehung zwischen der Signalladungshaltezeit der Speicherzelle zu dem Auftreten der Zahl von fehlerhaften Bits;

Fig. 13 ein Blockschaltbild zur Erläuterung der Struktur eines DRAMs;

Fig. 14 ein Ersatzschaltbild einer allgemeinen DRAM-Speicherzelle;

Fig. 15 eine Schnittansicht der Struktur eines Beispiels einer DRAM-Speicherzelle;

Fig. 16A bis 16I Schnittansichten des in Fig. 15 gezeigten DRAMs während verschiedener Herstellungsschritte;

Fig. 17 eine Schnittansicht der Struktur eines zweiten Beispiels eines DRAMs; und

Fig. 18A bis 18D Schnittansichten des in Fig. 17 gezeigten DRAMs während verschiedener Herstellungsschritte.

Wie in Fig. 1 gezeigt ist, enthält die Speicherzelle eines DRAMs gemäß einer ersten Ausführungsform einen Übertragungsgatetransistor 10 und einen damit verbundenen Kondensator 11. Der Übertragungsgatetransistor 10 weist eine aus mit Phosphor (P) dotiertem

Polysilizium auf der Oberfläche eines p-Typ-Halbleitersubstrates 14 gebildete Gateelektrode (Wortleitung) auf, wobei ein Gateoxidfilm 16 dazwischen vorgesehen ist. Der Umfang der Gateelektrode 12 ist von einem Oxidfilm 17 bedeckt. In dem Halbleitersubstrat 14 ist ein Paar von n⁻-Fremdatombereichen 18a und 19a niedriger Konzentration an einer mit der Gateelektrode 12 selbst-ausgerichteten Position gebildet.

Der Kondensator 11 weist eine geschichtete Anordnung einer unteren Elektrode 20, eines dielektrischen Filmes 21 und einer oberen Elektrode 22 auf. Das Gebiet zum Bilden des Kondensators weist eine sich über den oberen Abschnitt eines Feldoxidfilmes 15 bis über die Gateelektrode 12 des Übertragungsgatetransistors erstreckende Struktur auf. Die untere Elektrode 22 ist aus mit Phosphor oder Arsen implantiertem Polysilizium oder aus sogenanntem dotiertem Polysilizium mit Phosphor und Arsen dotiert zu dem Zeitpunkt des CVD-Bildens gebildet. Der dielektrische Film 21 des Kondensators ist aus einem Siliziumnitridfilm gebildet, wobei ein dünner Oxidfilm auf der Oberfläche des Siliziumnitridfilmes gebildet ist, obwohl das in Fig. 1 nicht gezeigt ist. Dieser Oxidfilm muß nicht unbedingt gebildet werden. Die obere Elektrode 22 ist unter Benutzung einer Polysiliziumschicht mit Phosphordotierung gebildet.

Für die periphere Schaltung wird ein CMOS-Transistor benutzt, der einen nMOS-Transistor 45a und einen pMOS-Transistor 45b aufweist. Der nMOS-Transistor 45a des CMOS weist Source und Drain-Bereiche mit einer LDD-Anordnung auf, die aus einem n⁻-Fremdatombereich 31 von relativ niedriger Konzentration und einem n⁺-Fremdatombereich 33 einer relativ hohen Konzentration gebildet sind.

Bei einem DRAM mit einer derartigen Anordnung liegt ein wesentliches Merkmal darin, daß die Fremdatomkonzentration des Source-Bereiches 18a und des Drainbereiches 19a des Übertragungsgatetransistors 10 der Speicherzelle niedriger eingestellt ist als der des n⁺-Fremdatombereiches 33 des nMOS-Transistors 45a der peripheren Schaltung. Zum Beispiel sei die Fremdatomkonzentration des Source-Bereiches 18a und des Drain-Bereiches 19a des Übertragungsgatetransistors 10 auf dem Pegel von 10¹⁷/cm³ bis 10¹⁸/cm³. Dann ist die Konzentration des n⁻-Fremdatombereiches 31 des nMOS-Transistors 45a der peripheren Schaltung 10¹⁷/cm³ bis 10¹⁸/cm³, dagegen ist die Konzentration des n⁺-Fremdatombereiches 33 auf 10¹⁹/cm³ bis 10²¹/cm³ eingestellt.

Im folgenden werden die Herstellungsschritte des DRAMs der ersten Ausführungsform unter Bezugnahme auf die Fig. 2A bis 2I erläutert. Da die Beschreibung der Herstellungsschritte der Fig. 2A bis 2B identisch mit denen der Fig. 16A bis 16B ist, die weiter oben gegeben ist, wird sie hier nicht noch einmal wiederholt.

Wie in Fig. 2C gezeigt ist, bedeckt ein Photolack bzw. Abdecklack bzw. Resist 29a den pMOS-Bereich der peripheren Schaltung. Darauf folgt das Implantieren von Phosphor-(P)-Ionen oder Arsen-(As)-Ionen 30a einer niedrigen Konzentration bei einer Dosierung von 10¹³/cm² bis 10¹⁴/cm² in die Oberfläche des Halbleitersubstrates. Dieses Ionenimplantieren bewirkt die Bildung von n⁻-Fremdatombereichen 18a und 19a des Übertragungsgatetransistors 10 der Speicherzelle und eines n⁻-Fremdatombereiches 31 des nMOS-Transistors der peripheren Schaltung.

Wie in Fig. 2D gezeigt ist, wird ein Oxidfilm über dem gesamten Substrat abgeschieden und anisotrop geätzt.

Dieses bildet Seitenwände 17a und 27a eines Oxidfilmes an den Seitenwänden der Gateelektrode 12 des Übertragungsgatetransistors und der Gateelektrode 26a des nMOS-Transistors der peripheren Schaltung. Nachdem der Speicherzellenbereich und der pMOS-Transistorbereich des peripheren Bereiches durch einen Abdecklack 29b bedeckt ist, werden n-Typ-Fremdatomionen 30b, wie Arsen oder Phosphor, in die Oberfläche des Halbleitersubstrates unter Benutzung der Seitenwände 27a des nMOS-Transistors mit einer Dosierung von $10^{14}/\text{cm}^2$ bis $10^{16}/\text{cm}^2$ und einer Implantierungsenergie von 50 keV implantiert. Durch diesen Ionenimplantationsschritt werden die n⁺-Fremdatombereiche 33 und 33 des nMOS-Transistors der peripheren Schaltung gebildet. Somit wird die LDD-Anordnung des nMOS-Transistors der peripheren Schaltung gebildet.

Wie in Fig. 2E gezeigt ist, wird der Abdecklack 29b entfernt, darauffolgend wird die Oberfläche der Speicherzelle und des nMOS-Transistorbereiches der peripheren Schaltung mit einem Abdecklack 29c bedeckt, so daß p-Typ-Fremdatomionen 32, wie Bor (B, BF₂) in die Oberfläche des Substrates durch die Seitenwände 27a der Gateelektrode 26b des pMOS-Transistors bei einer Dosierung von 10^{14} – $10^{15}/\text{cm}^2$ und einer Implantierungsenergie von 30–40 keV implantiert werden können. Durch diesen Ionenimplantationsschritt werden die p⁺-Fremdatombereiche 35 und 35 des pMOS-Transistors gebildet. So wird der pMOS-Transistor der peripheren Schaltung gebildet.

Die Herstellungsschritte für den Kondensator 11 der Speicherzelle werden im folgenden erläutert. Die Beschreibung zu den Fig. 2F bis 2I ist identisch mit der Beschreibung zu den Fig. 16F bis 16I, die oben gegeben ist. Daher wird diese Beschreibung nicht wiederholt.

Die Source- und Drain-Bereiche 18a und 19a geringer Konzentration des Übertragungsgatetransistors 10, die ein wesentliches Merkmal darstellen, werden implantiert, indem Fremdatomionenimplantation hoher Konzentration der peripheren Schaltung durchgeführt wird, nachdem die Speicherzelle durch den Abdecklack 29b bedeckt ist, wie es in Fig. 2D gezeigt ist. Daher ist es möglich, die Source- und Drain-Bereiche 18a und 19a des Übertragungsgatetransistors 10 ohne Erhöhung der Herstellungsschritte im Vergleich mit herkömmlichen Herstellungsverfahren zu bilden. Da die Source- und Drain-Bereiche 18a und 19a des Übertragungsgatetransistors 10 nicht der Beschädigung durch Ionenimplantation hoher Konzentration unterliegen, kann das Auftreten vieler Kristallfehler auf der Oberfläche des Halbleitersubstrates 14 vermieden werden. Es ist daher möglich, das Lecken von Signalladungen aus dem oberhalb der Oberfläche des Source-/Drain-Bereiches 19a gebildeten Kondensator auf einen Minimalwert zu drücken. Im Betrieb ist Zuverlässigkeit für die Tätigkeit des Übertragungsgatetransistors 10 der Speicherzelle wichtiger als Hochgeschwindigkeitseigenschaften. Die Anforderungen an den Betrieb können erfüllt werden, selbst wenn die Source- und Drain-Bereiche 18a und 19a als Fremdatombereiche niedriger Konzentration gebildet werden. Bei der Anmelderin wurde festgestellt, daß das Vorhandensein eines Fremdatombereiches 19b hoher Konzentration in dem Source-/Drain-Bereich 19 des an der Seite mit dem Kondensator verbundenen Übertragungsgatetransistors keinen großen Einfluß auf den Betrieb des Speichers ausübt. Genau genommen gibt es einige Fälle, in denen ein Fremdatombereich hoher Konzentration diffundiert ist und innerhalb der Source- und Drain-Bereiche 18a und 19a geringer Konzentra-

tion gebildet ist aufgrund des Effektes der Fremdatome in der unteren Elektrode 20 des Kondensators und in der Bitleitung 13 während des Wärmebehandelns der Herstellungsschritte. Dieser Bereich hoher Konzentration wird jedoch einfach innerhalb der Source- und Drainbereiche 18a und 19a niedriger Konzentration gehalten. Die Auffrischeigenschaft der Speicherzelle kann verbessert werden, indem Leckstrom von dem Kondensator 11 unterdrückt wird. Dies wird unter Bezugnahme auf Fig. 12 erläutert werden.

Die Abszisse in Fig. 12 zeigt die Betriebshaltezeit nach der Schreibtätigkeit von Daten in den Kondensator der Speicherzelle. Die Ordinate zeigt die Zahl der fehlerhaften Bits, die bei fehlerhaftem Auslesen auftreten, wenn Daten aus der Speicherzelle nach der durch die Abszisse angezeigten Haltezeit ausgelesen werden. Dieses Experiment wurde bei einer Temperatur von 80°C ausgeführt. Wie in Fig. 12 gezeigt ist, ist die Haltezeit bis zu dem starken Auftreten von fehlerhaften Bits des DRAMs mit einer Speicherzelle nach einer Ausführungsform der Erfindung größer als die bei einer herkömmlichen Speicherzelle, und die fehlerhaften Bits sind in der Konzentration verteilt. Daher ist es möglich, das Auffrischintervall der Auffrischtätigkeit der Speicherzelle zum Verbessern der Auffrischeigenschaften auszudehnen.

Im folgenden wird ein zweites Ausführungsbeispiel unter Bezugnahme auf Fig. 3 beschrieben. Bei dieser zweiten Ausführungsform sind Barrierenmetallschichten 28 und 13a, wie etwa aus TiN oder TiW, unter der unteren Elektrode 20 des Kondensators 11 und unter der Bitleitung 13 der Speicherzelle gebildet. Diese Barrierenmetallschichten 28 und 13b können verhindern, daß in der unteren Elektrode 20 des Kondensators und in der Polysiliziumschicht 13a der Bitleitung enthaltene Fremdatome zu der Oberfläche des Siliziumsubstrates 14 unter dem Einfluß hoher Temperatur während der Herstellungsschritte der Speicherzelle diffundieren. Es ist daher möglich, Source- und Drain-Bereiche 18 und 19 des Übertragungsgatetransistors 10 nur mit n⁻-Fremdatombereichen 18a und 19a niedriger Konzentration einzuführen.

Fig. 4A ist eine Schnittansicht, die den Schritt des Bildens der Barrierenmetallschicht 28 und der unteren Elektrode 20 des Kondensators zeigt. Dies entspricht dem Schritt in Fig. 2G der ersten Ausführungsform. Die Barrierenmetallschicht 28 wird auf der Oberfläche des Siliziumsubstrates durch ein Sprühverfahren oder ähnliches gebildet, wobei eine Polysiliziumschicht mit Fremdatomen auf der Oberfläche davon gebildet wird. Diese beiden werden zum Bilden der Barrierenmetallschicht 28 und der unteren Elektrode 20 des Kondensators bemustert.

Fig. 4B ist eine Schnittansicht, die den Schritt des Bildens der Barrierenmetallschicht 13b zeigt. Dies entspricht dem Schritt in Fig. 2H der ersten Ausführungsform. Das heißt, die Barrierenmetallschicht 13b wird auf der Oberfläche der isolierenden Zwischenschicht 40 durch ein Sprühverfahren oder ähnliches gebildet, wonach eine Polysiliziumschicht 13 auf deren Oberfläche gebildet wird. Diese beiden werden zum Bilden der Bitleitung 13 bemustert.

Eine dritte Ausführungsform wird im folgenden unter Bezugnahme auf Fig. 5 beschrieben. Bei dieser dritten Ausführungsform ist die untere Elektrode 20 des Speicherzellenkondensators 11 aus einer metallischen Schicht, wie WSi, MoSi, W, Mo, Ti und TiW gebildet, die keine Fremdatome enthalten, weiterhin ist sie aus einer

metallischen Legierungsschicht oder aus einer Verbindung aus Metall und Silizium gebildet. Durch das Bilden der unteren Elektrode 20 des Kondensators mit einer metallischen Schicht oder ähnlichem kann die Diffusion der Fremdatome in den Source-/Drain-Bereich 19 des Übertragungsgatetransistors 10 aufgrund des Effektes der Wärme während der Herstellungsschritte verhindert werden. Aus ähnlichen Gründen kann die Bitleitung 13 aus einer metallischen Schicht einer metallischen Legierungsschicht oder einer Verbindung aus Metall und Silizium gebildet werden.

Eine vierte Ausführungsform wird unter Bezugnahme auf Fig. 6 erläutert. Im Vergleich zu der ersten Ausführungsform enthält der Fremdatombereich der mit dem Kondensator 11 verbundenen Seite der Speicherzelle mit einem Paar von Source-/Drain-Bereichen des Übertragungsgatetransistors 10 nur einen n^- -Fremdatombereich 19a niedriger Konzentration. Der Source-/Drain-Bereich der mit der Bitleitung 13 verbundenen Seite wird durch die LDD-Anordnung dargestellt. Da der mit der unteren Elektrode 20 des Kondensators 11 verbundene Fremdatombereich 19a nicht mit dem Ionenimplantationsschritt mit hoher Konzentration gebildet ist, kann der Effekt des Unterdrückens von Leckströmen von dem Kondensator 11 auch bei dieser Ausführungsform erzielt werden. Das Verfahren zum Herstellen des Source-/Drain-Bereiches 18 mit der LDD-Anordnung wird erzielt, indem ein Muster einer Öffnung in dem Abdecklack 29b gebildet wird, der den Speicherzellenbereich oberhalb des mit der Bitleitung 13 zu verbindenden n^- -Fremdatombereiches 18a bedeckt, wie in Fig. 7 gezeigt ist, deren Herstellungsschritt dem der Fig. 2D der ersten Ausführungsform entspricht.

Als Modifikation der vierten Ausführungsform kann die LDD-Anordnung des Source-/Drain-Bereiches 18 der mit der Bitleitung 13 verbundenen Seite des Übertragungsgatetransistors 10 durch Wärmediffusion von Fremdatomen in der Bitleitung 13 eingeführt werden. In diesem Fall kann der Ansatz des Differenzierens der Arten von in der Bitleitung 13 und in der unteren Elektrode 20 des Kondensators 11 einzuführenden Fremdatomen oder der Ansatz des Differenzierens der Konzentrationen gewählt werden, so daß die Fremdatome nicht in den Source-/Drain-Bereich 19 der mit dem Kondensator 11 des Übertragungsgatetransistors 10 verbundenen Seite diffundieren. Zum Beispiel wird Arsen in die untere Elektrode 20 des Kondensators 11 eingeführt, während Phosphor in die Bitleitung 13 eingeführt wird. Phosphor weist einen größeren Wärmediffusionskoeffizienten im Vergleich mit dem von Arsen in diesem Fall auf. Wenn eine ähnliche Wärmebehandlung ausgeübt wird, ist die Diffusion des Phosphors zu dem Substrat von der Bitleitung 13 größer als die Diffusion des Arsens in das Substrat von der unteren Elektrode 20. Indem geeignete Wärmebehandlungsbedingungen gesetzt werden, ist es möglich, die LDD-Anordnung nur in dem Source-/Drain-Bereich 18 der mit der Bitleitung verbundenen Seite zu bilden. Somit wird der Source-/Drain-Bereich 19 der mit dem Kondensator 11 verbundenen Seite so gebildet, daß er einen Diffusionsbereich mit Arsen einer hohen Konzentration innerhalb des n^- -Fremdatombereiches 19a von niedriger Konzentration aufweist.

Wenn sich die Fremdatomkonzentration der Bitleitung 13 von der der unteren Elektrode 20 des Kondensators 11 unterscheidet, wenn zum Beispiel die Konzentration des Phosphors in der Bitleitung $10^{22}/\text{cm}^3$ beträgt und die der unteren Elektrode 20 des Kondensators 11

etwa $2 \times 10^{18} - 2 \times 10^{20}/\text{cm}^3$ beträgt, diffundiert der Phosphor der Bitleitung weiter in das Substrat im Vergleich mit dem Phosphor der unteren Elektrode 20.

Eine andere Modifikation der vierten Ausführungsform wird im folgenden unter Bezugnahme auf Fig. 8 beschrieben. Bei der Modifikation von Fig. 8 wird die Barrierenmetallschicht 28 nur unter der unteren Elektrode 20 des Kondensators 11 gebildet. Diese Barrierenmetallschicht 28 verhindert, daß Fremdatome in der unteren Elektrode 20 des Kondensators 11 in das Substrat diffundieren. Nur Fremdatome von der Seite der Bitleitung 13 diffundieren in das Substrat, wodurch die LDD-Anordnung nur in dem Source-/Drain-Bereich 18 der mit der Bitleitung 13 verbundenen Seite erreicht wird.

Im folgenden wird eine fünfte Ausführungsform unter Bezugnahme auf Fig. 9 erläutert. Die Source- und Drain-Bereiche 18 und 19 des Übertragungsgatetransistors 10 dieser Speicherzelle weisen die LDD-Anordnung auf. Die n^+ -Fremdatombereiche 19b und 18b hoher Konzentration sind gebildet, indem in der unteren Elektrode 20 des Kondensators und der Bitleitung 13 enthaltene Fremdatome hoher Konzentration unter einer Wärmebehandlung in das Halbleitersubstrat 14 diffundiert sind. Zur Bildung der n^+ -Fremdatombereiche 18b und 19b hoher Konzentration kann diese Wärmediffusion der Fremdatome absichtlich durchgeführt werden, oder die Fremdatome können automatisch in die Oberfläche des Halbleitersubstrates 14 durch Erwärmen zum Zeitpunkt der Oxidation anderer Schichten oder bei der Bildung dünner Filme diffundiert werden. In dem Falle, daß solche Wärmediffusion eingesetzt wird, werden Kristallfehler auf der Oberfläche des Halbleitersubstrates 14 zu dem Zeitpunkt der n^+ -Fremdatombereiche 18b und 19b hoher Konzentration nicht erzeugt. Es ist daher möglich, Leckströme von dem Kondensator wie bei den obigen Ausführungsformen zu unterdrücken.

Im folgenden wird eine sechste Ausführungsform unter Bezugnahme auf Fig. 10 beschrieben. Der dort gezeigte DRAM weist einen sogenannten Kondensator vom Planartyp als Kondensator 11 auf. Auf der Oberfläche des Halbleitersubstrates 14 wird ein mit dem einen Fremdatombereich 19a des Übertragungsgatetransistors 10 verbundener n -Typ-Fremdatombereich 51 gebildet. Ein dielektrischer Film 53 und eine obere Elektrode 54 werden auf der Oberfläche des n -Typ-Fremdatombereiches 51 übereinandergeschichtet. In dem unteren Bereich des n -Typ-Fremdatombereiches 51 wird ein p^+ -Fremdatombereich 52 mit einem Leitungstyp identisch zu dem des Substrates gebildet. Eine derartige Anordnung wird als Hi-C-Anordnung bezeichnet, mit der versucht werden soll, die Übergangskapazität zwischen dem n -Typ-Fremdatombereich 51 und dem p^+ -Fremdatombereich zum Erhöhen der Kondensatorkapazität zu erhöhen. Der Source-/Drain-Bereich des Übertragungsgatetransistors 10 wird nur durch die n^- -Fremdatombereiche 18a und 19a niedriger Konzentration dargestellt. Das heißt, der Ionenimplantationsschritt mit Fremdatomen hoher Konzentration ist ausgelassen, wie im folgenden bei den Herstellungsschritten beschrieben ist. In der peripheren Schaltung ist eine CMOS-Schaltung ähnlich der der ersten bis dritten Ausführungsformen gezeigt, während der Source-/Drain-Bereich des nMOS-Transistors 45a die sogenannte LDD-Anordnung aufweist.

Die Herstellungsschritte für den DRAM der oben beschriebenen sechsten Ausführungsform werden im folgenden unter Bezugnahme auf die Fig. 11A bis 11J be-

schrieben.

Wie in Fig. 11A gezeigt ist, wird ein dicker Feldoxidfilm 15 in einem vorbestimmten Bereich auf der Hauptoberfläche des p-Typ-Siliziumsubstrates 14 gebildet, wobei ein p^+ -Kanal-Stop 55 darunter gebildet wird. In dem peripheren Schaltungsbereich werden eine p-Wanne 23 und eine n-Wanne 24 in dem p-Typ-Siliziumsubstrat 14 gebildet. Auf der Oberfläche des p-Typ-Siliziumsubstrates werden Oxidfilme 16 und 53 gebildet.

Wie in Fig. 11B gezeigt ist, wird die Oberfläche des p-Typ-Siliziumsubstrates 14 mit einem Abdecklack 29 bedeckt, darauf wird er bemustert, so daß nur der Bereich zum Bilden des Kondensators der Speicherzelle geöffnet wird. Unter Benutzung dieses bemusterten Abdecklackes 29a als Maske werden Arsenionen 56 und Borionen 57 in die Oberfläche des p-Typ-Siliziumsubstrates 14 zur Aktivierung implantiert. Arsenionen 56 werden mit Implantierungsenergien von 100–200 keV und einer Dosierung von 10^{14} – $10^{15}/\text{cm}^2$ implantiert, während die Borionen 57 mit Energien von 100–200 keV und einer Dosierung von 10^{12} – $10^{13}/\text{cm}^2$ implantiert werden. Dies hat die Bildung der Hi-C-Anordnung zur Folge, die aus dem n-Typ-Fremdatombereich 51 des Kondensators 11 und dem p^+ -Fremdatombereich 52 besteht.

Wie in Fig. 11C gezeigt ist, wird der Abdecklack 29a entfernt und danach eine Polysiliziumschicht mit Fremdatomen und ein Abdecklack 29b, der mit einer vorbestimmten Form bemustert wird, gebildet. Dadurch wird die obere Elektrode 54 über dem Kondensator gebildet.

Wie in Fig. 11D gezeigt ist, wird eine Polysiliziumschicht mit einer Leitung über dem p-Typ-Siliziumsubstrat 14 abgeschieden und in einer vorbestimmten Konfiguration bemustert. Dadurch werden Gateelektrode 12 und 12 des Übertragungsgatetransistors der Speicherzelle und Gateelektroden 26a und 26b des nMOS-Transistors und pMOS-Transistors der peripheren Schaltung gebildet.

Wie in Fig. 11E gezeigt ist, wird die Oberfläche des pMOS-Bereiches mit einem Abdecklack 29c bedeckt, worauf Phosphorionen 58 implantiert werden, so daß n^- -Fremdatombereiche 18a und 19a niedriger Konzentration des Übertragungsgatetransistors und n^- -Fremdatombereiche 31 und 31 niedriger Konzentration des nMOS-Transistors gebildet werden.

Wie in Fig. 11F gezeigt ist, wird der Abdecklack 29 entfernt und darauf der Oxidfilm abgeschieden und anisotrop geätzt zum Bilden von Seitenwänden 59 des Oxidfilmes an den Seiten der Gateelektrode 12 des Übertragungsgatetransistors und der Gateelektroden 26a und 26b des pMOS-Transistors und des nMOS-Transistors. Dann wird ein Abdecklack 29d überall aufgetragen und nur in dem Bereich zum Bilden des nMOS-Transistors geöffnet. Unter Benutzung der Gateelektrode 26a des nMOS-Transistors und der Seitenwände 59 als Maske werden Arsenionen 60 in die Oberfläche des p-Typ-Siliziumsubstrates 14 implantiert. Dadurch werden n^+ -Fremdatombereiche 33 und 33 hoher Konzentration des nMOS-Transistors gebildet.

Wie in Fig. 11G gezeigt ist, wird der Abdecklack 29d entfernt und ein Abdecklack 29e überall aufgetragen und nur in dem Bereich zum Bilden des pMOS-Transistors geöffnet. Dann werden p-Typ-Fremdatomionen 61 zum Bilden von p^+ -Fremdatombereichen 35 und 35 des pMOS-Transistors implantiert.

Wie in Fig. 11H gezeigt ist, wird der Abdecklack 29e entfernt, und eine isolierende Zwischenschicht 62 aus einem Oxidfilm wird auf der Oberfläche des p-Typ-Sili-

ziumsubstrates 14 unter Benutzung des CVD-Verfahrens abgeschieden. Ein Kontaktloch 63 für einen Bitleitungskontakt wird in dem isolierenden Zwischenschichtfilm 62 in dem Speicherzellenbereich gebildet.

Wie in Fig. 11I gezeigt ist, wird eine zum Beispiel aus Polysilizium bestehende Bitleitung gebildet. Ein zweiter isolierender Zwischenschichtfilm 42 wird über die Bitleitung gelegt.

Wie in Fig. 11J gezeigt ist, wird ein vorbestimmtes Kontaktloch in der isolierenden Zwischenschicht 42 des Bereiches der peripheren Schaltung gebildet, woraufhin eine Verdrahtungsschicht 43 gebildet wird.

Somit kann ein DRAM hergestellt werden, der eine Anordnung aufweist, bei der der Source-/Drain-Bereich des Übertragungsgatetransistors der Speicherzelle nur aus n^- -Fremdatombereichen 18a und 19a niedriger Konzentration besteht.

Die vorliegende Erfindung wird insbesondere unter der Berücksichtigung der Tatsache, daß das Lecken von Signalladungen von dem Kondensator der Speicherzelle des DRAMs durch Kristallfehler des mit der unteren Elektrode des Kondensators verbundenen Fremdatombereiches verursacht wird, vorgesehen. Dieses Problem des Leckens wird überwunden, indem das Ionenimplantieren von Fremdatomen hoher Konzentration, das dazu führt, daß Kristallfehler in dem Substrat auftreten, ausgelassen wird. Bei einem solchen Verfahren wird das Lecken der Signalladungen von dem Kondensator unterdrückt.

Ein anderes wichtiges Merkmal der vorliegenden Erfindung liegt darin, daß der Source-/Drain-Bereich 19 der mit dem Kondensator des Übertragungsgatetransistors verbundenen Seite im wesentlichen nur durch einen Fremdatombereich niedriger Konzentration dargestellt wird. Es ist nicht beabsichtigt, einen Fremdatombereich hoher Konzentration in dem Source-/Drain-Bereich zu bilden.

Da die Halbleitereinrichtung eine periphere Schaltung mit einem Transistor der LDD-Anordnung und einen Speicherzellenabschnitt aufweist, der so konstruiert ist, daß das Ionenimplantieren mit hoher Konzentration nur an dem Verbindungsbereich zu dem Kondensator weggelassen werden kann, wird das Erzeugen von Kristallfehlern, die ein Verschlechtern der Auffrischeigenschaften verursachen, unterdrückt, dadurch kann zuverlässig eine Speicherzelle mit hoher Zuverlässigkeit und mit befriedigenden Auffrischeigenschaften hergestellt werden. Dieses Herstellungsverfahren kann auf einfache Weise durchgeführt werden, ohne daß es nötig ist, zu den herkömmlichen Verfahrensschritten neue Schritte hinzuzufügen.

Patentansprüche

1. DRAM mit einem Speicherzellenfeld (1) mit einer Mehrzahl von zum Speichern von Einheitsspeicherinformation ausgelegten Speicherzellen und einer peripheren Schaltung für eine Schreib-/Lese-tätigkeit für das Speicherzellenfeld (1) von vorbestimmter gespeicherter Information auf der Hauptoberfläche eines Halbleitersubstrates (14), wobei jede Speicherzelle in der Nähe des jeweiligen Schnittpunktes einer Mehrzahl von sich über die Hauptoberfläche des Halbleitersubstrates (14) erstreckenden Wortleitungen (12) und einer Mehrzahl von sich in eine die Wortleitungen (12) kreuzenden Richtung erstreckenden Bitleitungen (13) gebildet ist und

einen Übertragungsgatetransistor (10) mit einem in dem Halbleitersubstrat (14) gebildeten, mit der Bitleitung (12) verbundenen ersten Fremdatombereich (18a), einer mit der Wortleitung (12) verbundenen Gateelektrode und einem mit einem zweiten Fremdatombereich (19a) verbundenen Kondensator (11) aufweist und die periphere Schaltung einen Transistor (45a) eines Leitungstypes identisch zu dem des Übertragungsgatetransistors (10) aufweist, der ein Paar von in der Oberfläche des Halbleitersubstrates (14) gebildeten Fremdatombereichen, die jeweils einen Bereich (33) relativ hoher Konzentration und einen Bereich (31) relativ niedriger Konzentration enthalten, und eine auf der Oberfläche des Halbleitersubstrates (14) mit einem isolierenden Film (25a) dazwischen gebildete Gateelektrode (26a) aufweist, dadurch gekennzeichnet, daß die Fremdatomkonzentration des mit dem Kondensator (11) verbundenen zweiten Fremdatombereiches (19a) von dem ersten und zweiten Fremdatombereich (18a, 19a) des Übertragungsgatetransistors (10) der Speicherzelle im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung gesetzt ist.

2. DRAM nach Anspruch 1, dadurch gekennzeichnet, daß der mit der Bitleitung (13) des Übertragungsgatetransistors (10) der Speicherzelle verbundene erste Fremdatombereich (18a) und der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) Fremdatomkonzentrationen aufweisen, die im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung ist.

3. DRAM nach Anspruch 1 oder 2, gekennzeichnet durch eine Barrierenmetallschicht (13b) zwischen der Bitleitung (13) und dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10).

4. DRAM nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der mit dem Kondensator (11) des Übertragungsgatetransistors (10) der Speicherzelle verbundene zweite Fremdatombereich (19a) aus einem Bereich gebildet ist, der eine Fremdatomkonzentration aufweist, die im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung ist und daß der mit der Bitleitung (13) verbundene erste Fremdatombereich (18) aus einem ersten Bereich (18a) mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung und einem zweiten Bereich (18b) mit einer Fremdatomkonzentration größer als der des ersten Bereiches (18a) gebildet ist.

5. DRAM nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Kondensator (11) eine elektrisch mit dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10) verbundene untere Elektrode (20), deren eines Ende sich über die Gateelektrode des Übertragungsgatetransistors (10) erstreckt, eine auf der Oberfläche der unteren Elektrode (20) gebildete dielektrische Schicht (21) und eine auf der Oberfläche der dielektrischen Schicht (21) gebildete obere Elektrode (22) aufweist, wobei eine Barrierenmetallschicht (28)

zwischen der unteren Elektrode (20) und dem ersten Fremdatombereich (18a) des Übertragungsgatetransistors (10) vorgesehen ist.

6. DRAM nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die untere Elektrode (20) des Kondensators (11) entweder ein hoch wärmefestes Metall oder ein hoch wärmefestes Metallsilizid enthält.

7. DRAM gemäß dem Oberbegriff des Patentanspruches 1, dadurch gekennzeichnet, daß mindestens der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) von dem ersten und zweiten Fremdatombereich (18a, 19a) des Übertragungsgatetransistors (10) der Speicherzelle einen Bereich in dem inneren peripheren Bereich entlang der pn-Übergangsebene des Halbleitersubstrates (14) und des zweiten Fremdatombereiches (19a) aufweist mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung.

8. DRAM nach Anspruch 7, dadurch gekennzeichnet, daß der mit der Bitleitung (13) des Übertragungsgatetransistors (10) verbundene erste Fremdatombereich (18a) und der mit dem Kondensator (11) verbundene zweite Fremdatombereich (19a) einen Bereich in dem inneren peripheren Bereich entlang der pn-Übergangsebene des Halbleitersubstrates (14) und des ersten und zweiten Fremdatombereiches (18a, 19a) aufweist mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung.

9. DRAM nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß der mit der Bitleitung (13) verbundene erste Fremdatombereich (18) aus einem ersten Bereich (18a) mit einer Fremdatomkonzentration im wesentlichen gleich der des Fremdatombereiches (31) relativ niedriger Konzentration des Transistors (45a) der peripheren Schaltung und einem zweiten Bereich (18b) mit einer Konzentration größer als der des ersten Bereiches (18a) gebildet ist.

10. DRAM nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß der Kondensator (11) einen mit dem zweiten Fremdatombereich (19a) des Übertragungsgatetransistors (10) verbundenen dritten Fremdatombereich (51), der auf der Oberfläche des Halbleitersubstrates (14) gebildet ist, eine auf dem dritten Fremdatombereich (51) gebildete dielektrische Schicht (53) und eine auf der Oberfläche der dielektrischen Schicht (53) gebildete obere Elektrodenschicht (54) aufweist.

11. Verfahren zum Herstellen eines DRAMs mit einem Fremdatombereich einer Konzentration enthaltenden ersten Transistor (10) und einem Fremdatombereich einer Doppelanordnung mit zwei verschiedenen Konzentrationen enthaltenden zweiten Transistor (45a), die auf dem gleichen Halbleitersubstrat (14) gebildet sind, mit den Schritten:

Bilden der Gateelektrode (12) des ersten Transistors (10) und der Gateelektrode (26a) des zweiten Transistors (45a) auf der Hauptoberfläche des Halbleitersubstrates (14) mit isolierenden Gatefilmen (16, 25a) dazwischen,

Implantieren von Fremdatomionen (30a) in das

Halbleitersubstrat (14) unter Benutzung der Gateelektroden (12, 26a) als Maske zum gleichzeitigen Bilden von Fremdatombereichen (31, 31) relativ niedriger Konzentration des zweiten Transistors (45a) und von Fremdatombereichen (18a, 19a) des ersten Transistors (10) mit einer Konzentration gleich der des Fremdatombereiches (31) relativ niedriger Konzentration und

Implantieren von Fremdatomionen (30b) in das Halbleitersubstrat (14) unter Benutzung der Gateelektrode (26a) des zweiten Transistors (45a) als Maske nach Bedecken der Oberfläche der Bereiche des ersten Transistors (10) zum Bilden von Fremdatombereichen (33, 33) relativ hoher Konzentration des zweiten Transistors (45a).

12. Verfahren zum Herstellen eines DRAMs mit einem Paar von Fremdatombereichen mit einer Doppelstruktur mit verschiedenen Konzentrationen in einem Halbleitersubstrat (14) und einer auf der Oberfläche des Fremdatombereiches gebildeten leitenden Schicht (13), mit den Schritten:

Bilden einer isolierenden Schicht (16) und einer Gateelektrode (12) auf der Oberfläche des Halbleitersubstrates (14), Implantieren von Fremdatomionen in das Halbleitersubstrat unter Benutzung der Gateelektrode (12) als Maske zum Bilden von Fremdatombereichen (18a, 19a) relativ niedriger Konzentration,

Bilden der Fremdatome enthaltenden leitenden Schicht (13) auf der Oberfläche des Fremdatombereiches (18a, 19a) niedriger Konzentration und Diffundieren der in der leitenden Schicht (13) enthaltenen Fremdatome in das Halbleitersubstrat (14) durch Wärmebehandlung zum Bilden eines Fremdatombereiches (18b) relativ hoher Konzentration.

13. Verfahren zum Herstellen eines DRAMs mit einem Speicherzellenfeld (1) und einer peripheren Schaltung auf dem gleichen Halbleitersubstrat (14), bei dem die Speicherzelle des Speicherzellenfeldes (1) einen ersten MOS-Transistor (10), einen mit einem eines Paares von Fremdatombereichen (18, 19) des ersten MOS-Transistors (10) verbundenen Kondensator (11) und einer Bitleitung (13) aufweist, und bei dem die periphere Schaltung einen zweiten MOS-Transistor (45a) eines Leitungstypes identisch zu dem des ersten MOS-Transistors (10) aufweist, nach Anspruch 11, gekennzeichnet durch die Schritte:

Bilden in der Reihenfolge einer ersten Elektroden-schicht (20), einer dielektrischen Schicht (21) und einer zweiten leitenden Schicht (22) des mit einem der Fremdatombereiche (18a, 19a) niedriger Konzentration des ersten MOS-Transistors (10) verbundenen Kondensators (11) und

Bilden einer isolierenden Zwischenschicht (14) auf der Oberfläche des ersten MOS-Transistors (10) mit einer Öffnung dadurch zu dem anderen der beiden Fremdatombereiche (18a, 19a) des ersten MOS-Transistors (10) und Bilden einer Bitleitung (13), die aus einer leitenden Schicht mit Fremdatomen gebildet ist, über der Zwischenschicht (40) und innerhalb der Öffnung.

—Leerseite—

FIG. 1

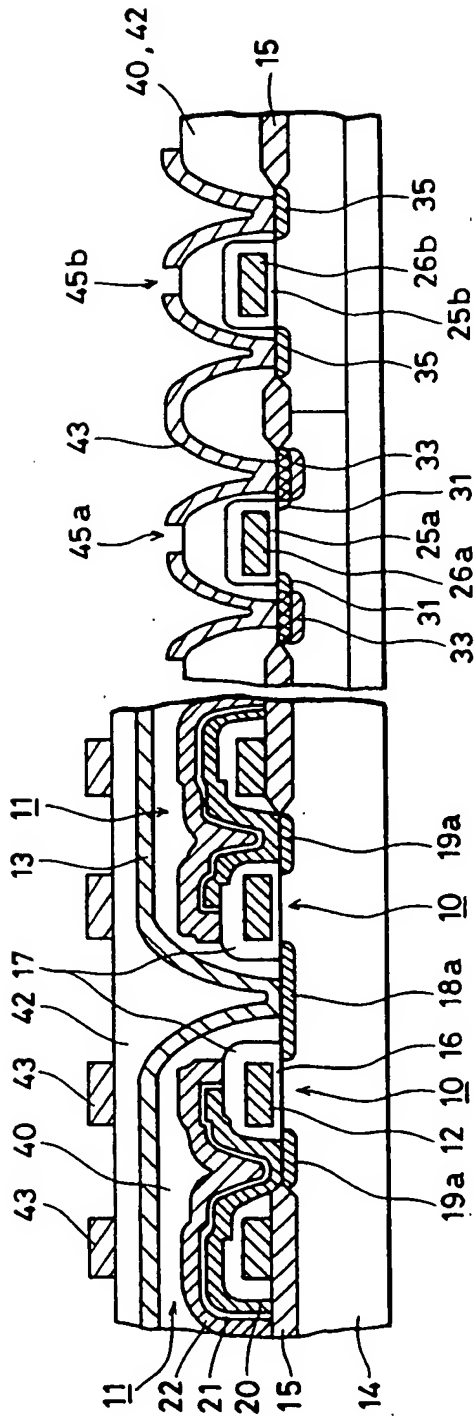


FIG. 2A

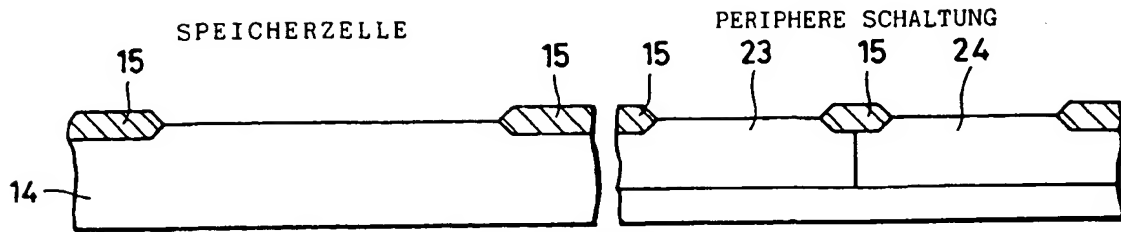


FIG. 2B

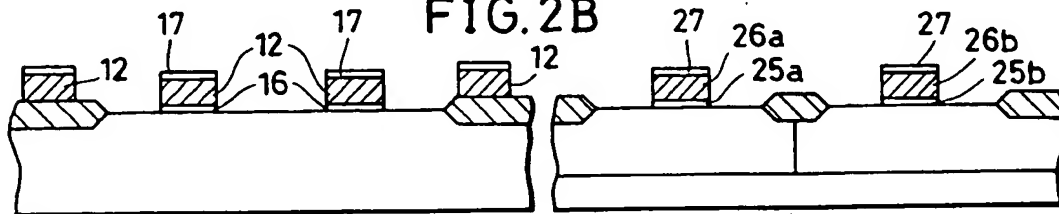


FIG. 2C

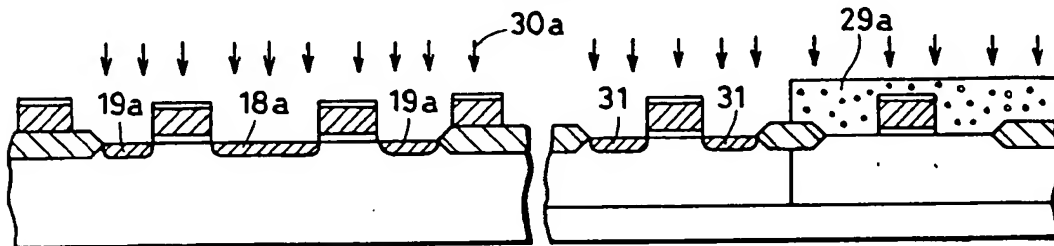


FIG. 2D

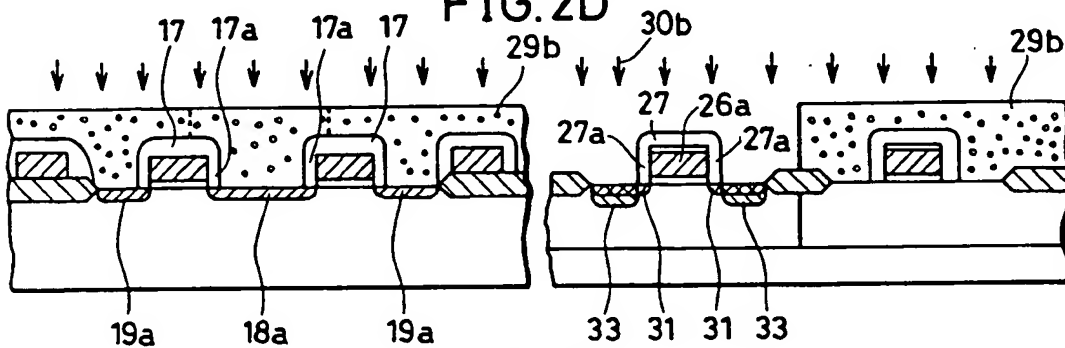


FIG. 2E

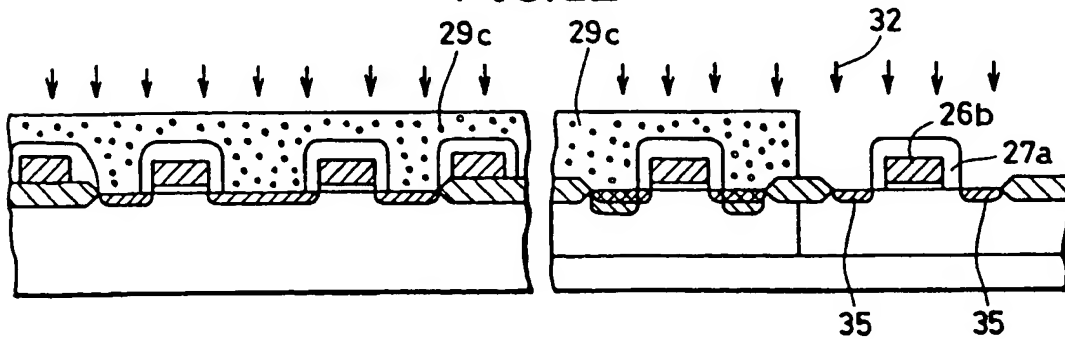


FIG. 2F

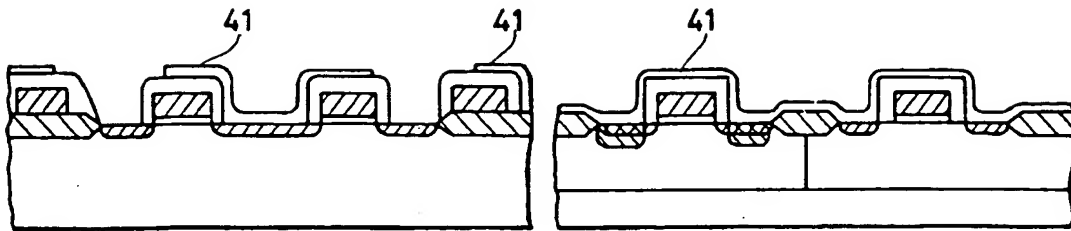


FIG. 2G

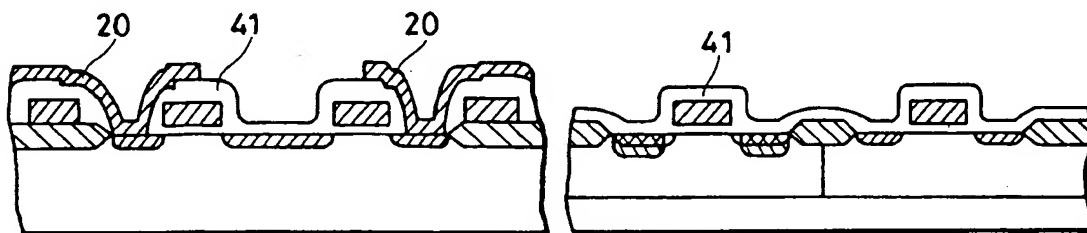


FIG. 2H

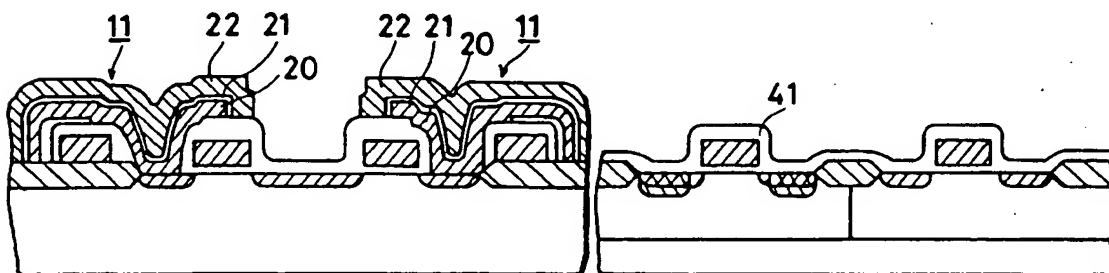


FIG. 2I

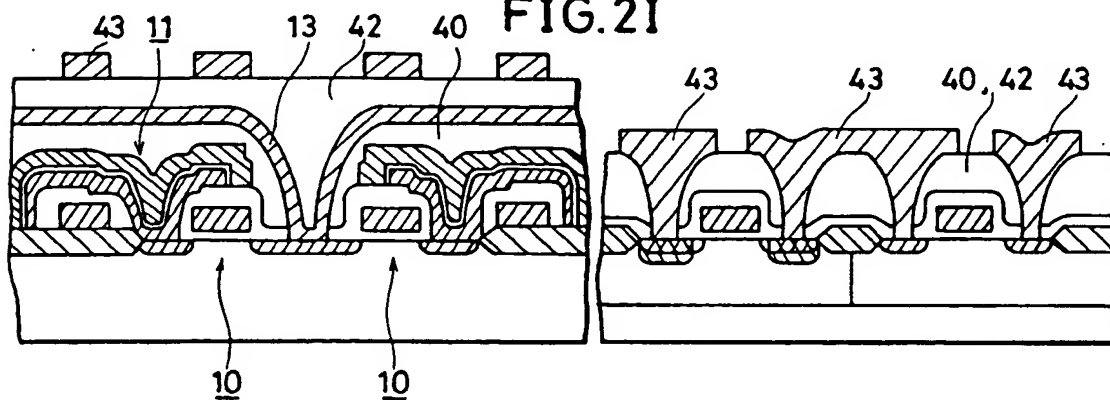


FIG. 5

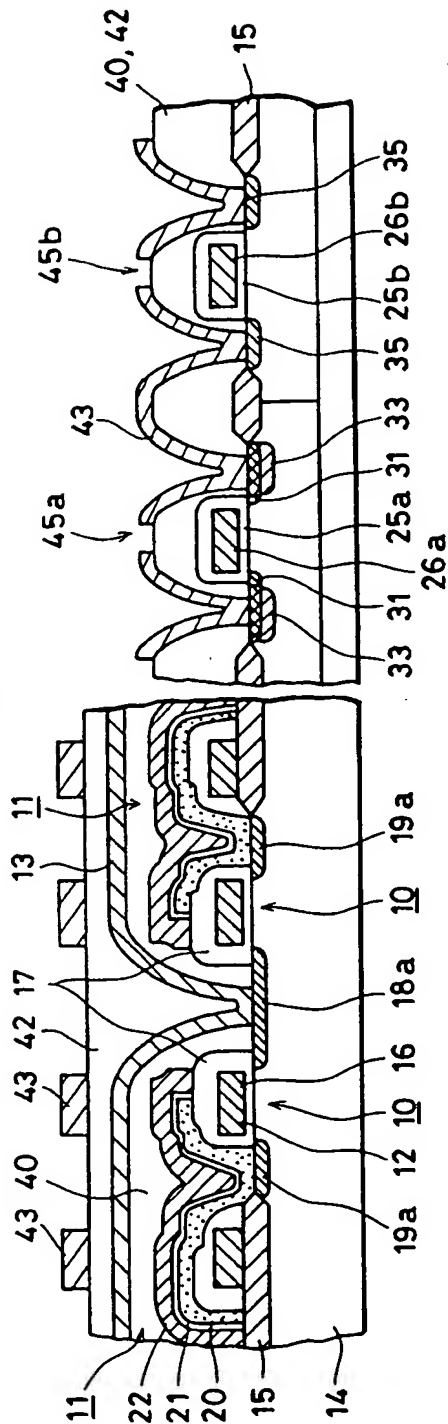


FIG. 6

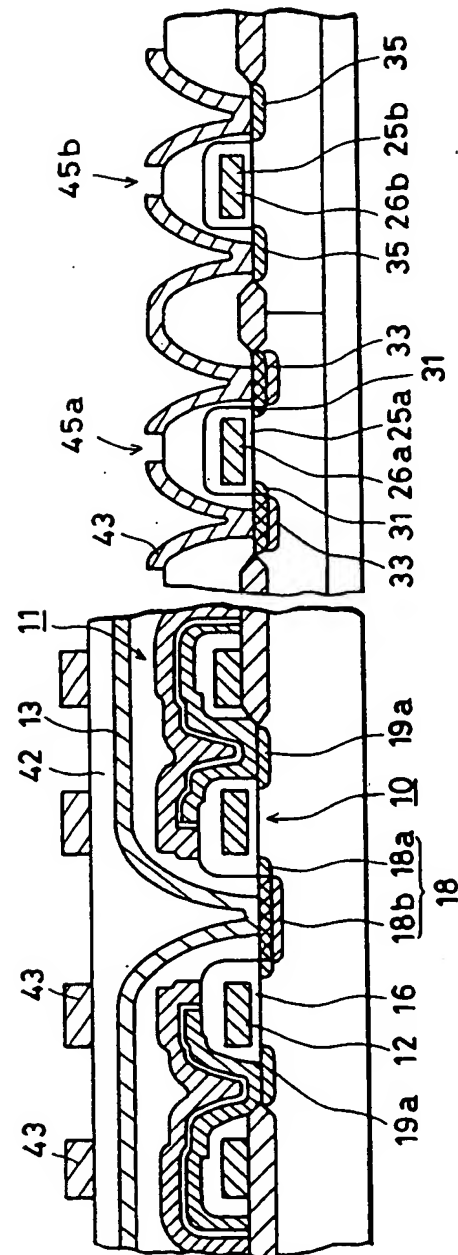


FIG.7

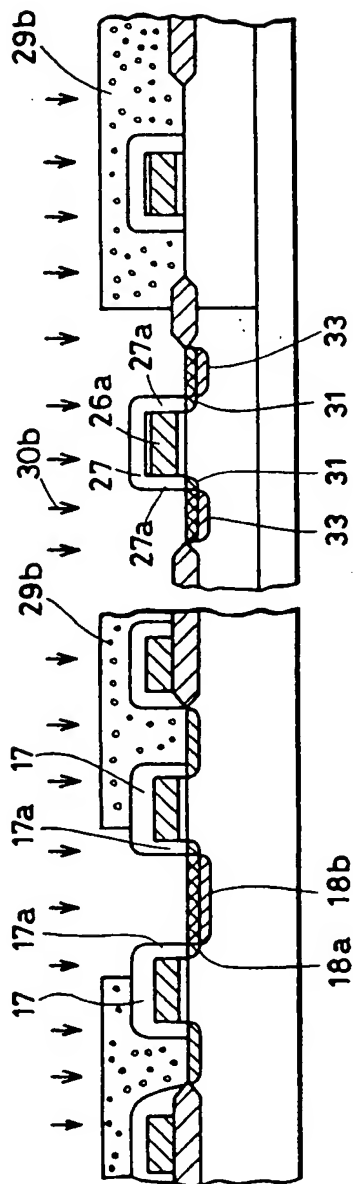


FIG.8

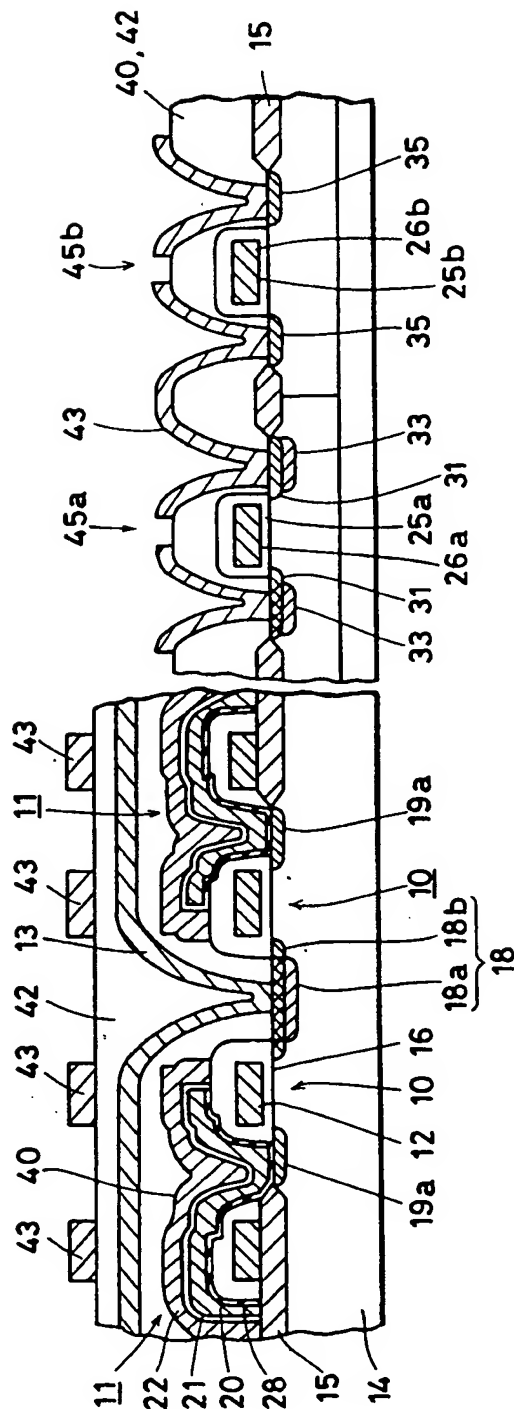


FIG. 9

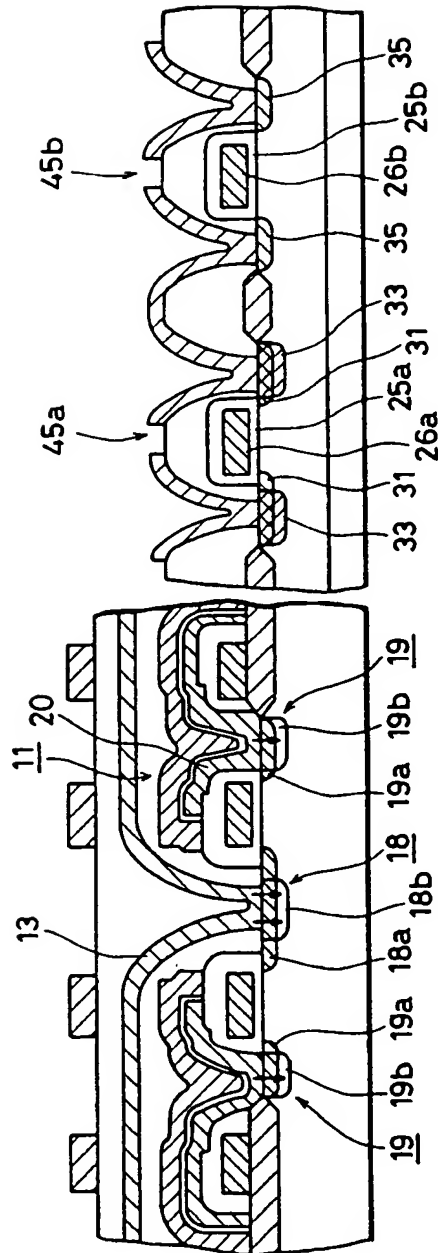


FIG.10

SPEICHERZELLE

PERIPHERE SCHALTUNG

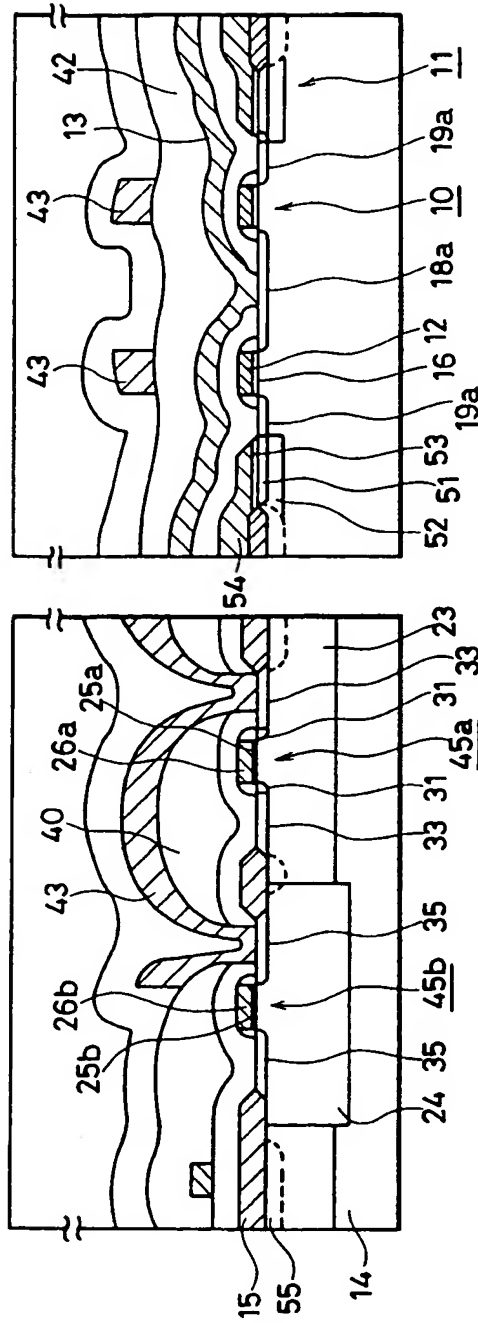


FIG.11A

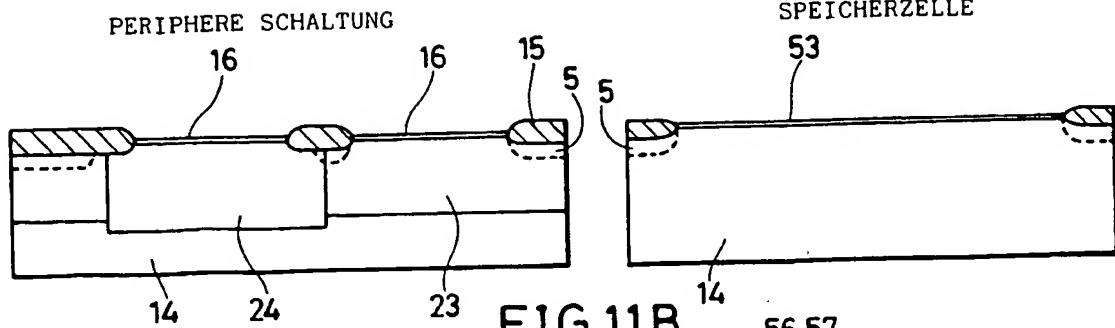


FIG.11B

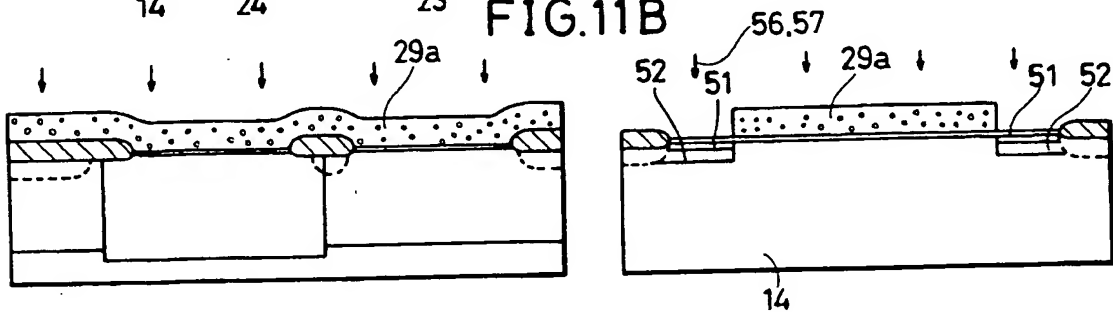


FIG.11C

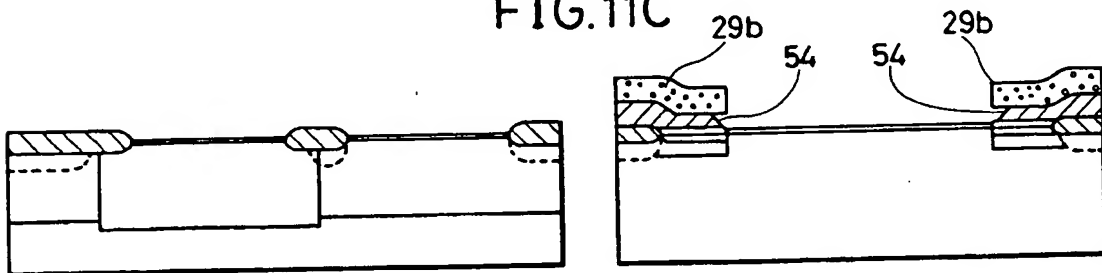


FIG.11D

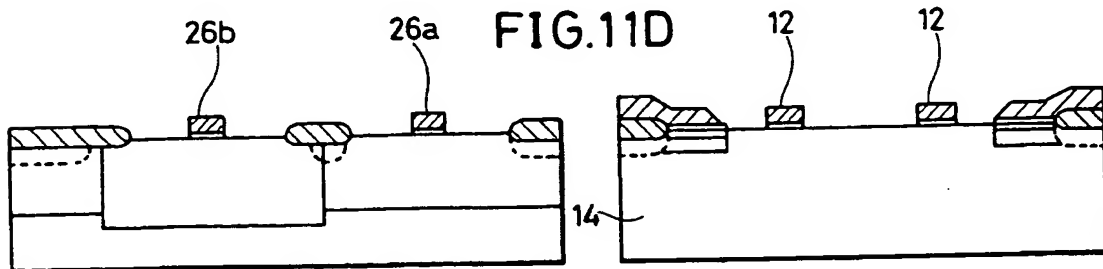


FIG.11E

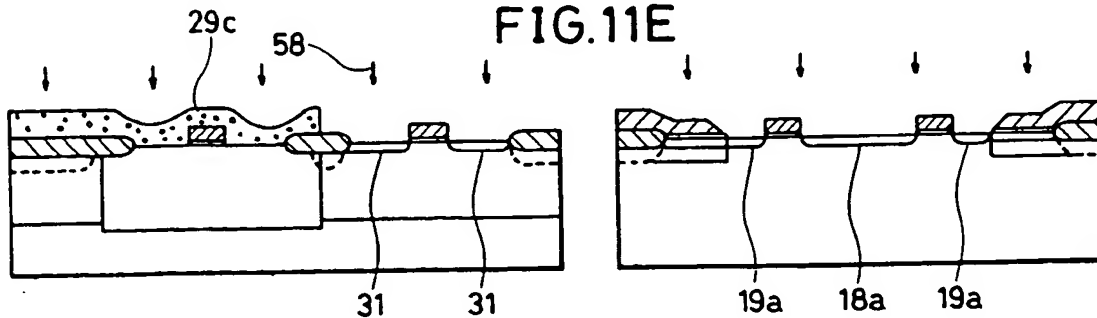


FIG. 11F

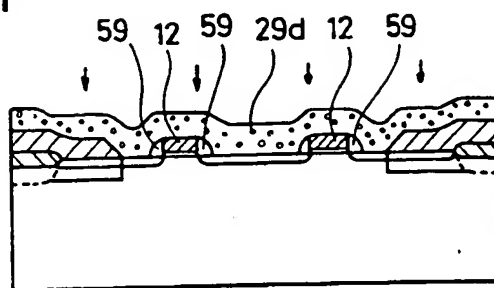
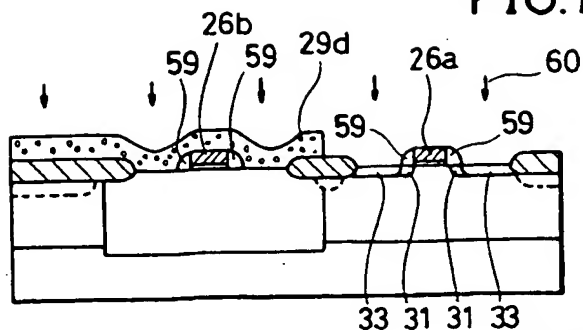


FIG. 11G

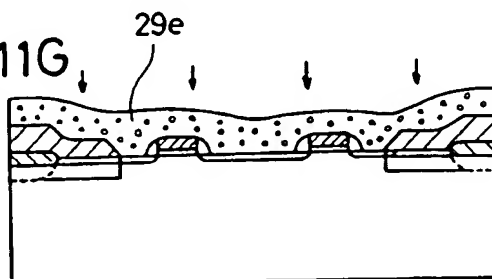
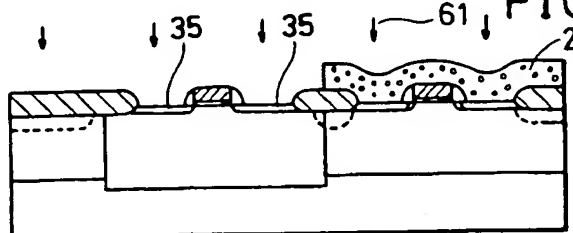


FIG. 11H

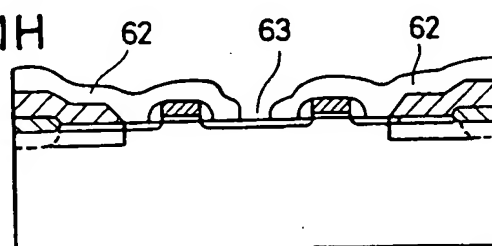
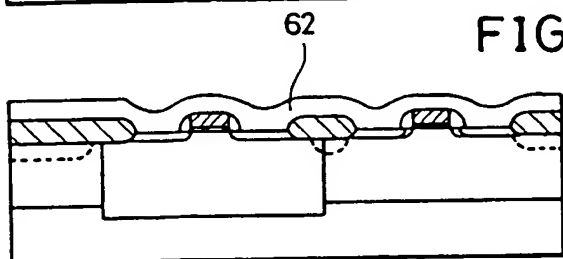


FIG. 11I

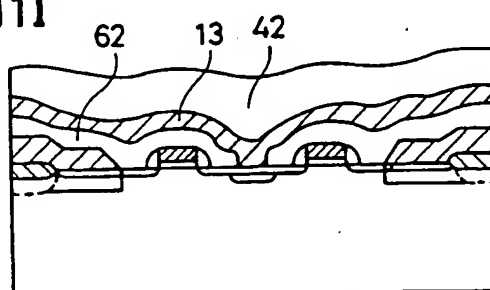
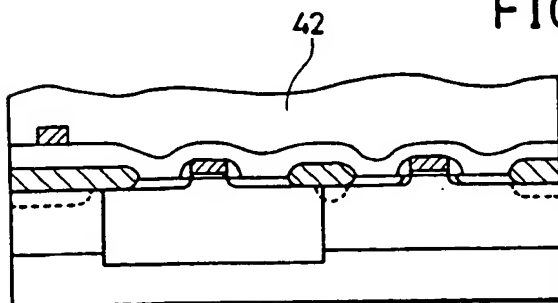


FIG. 11J

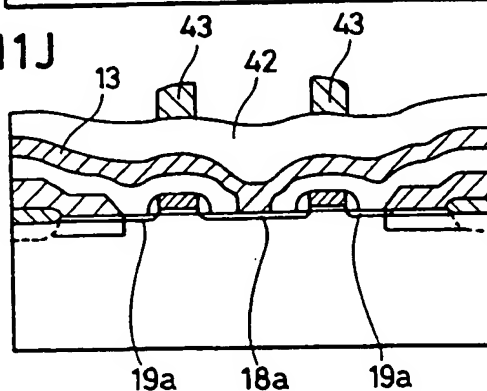
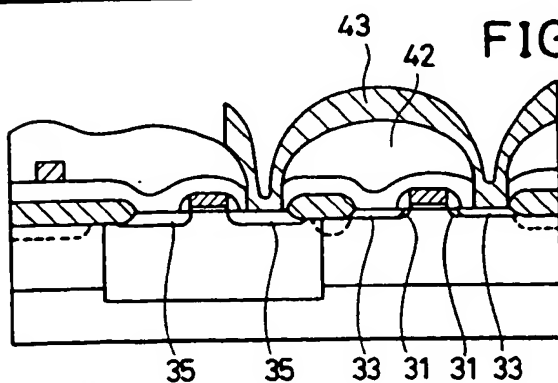


FIG.12

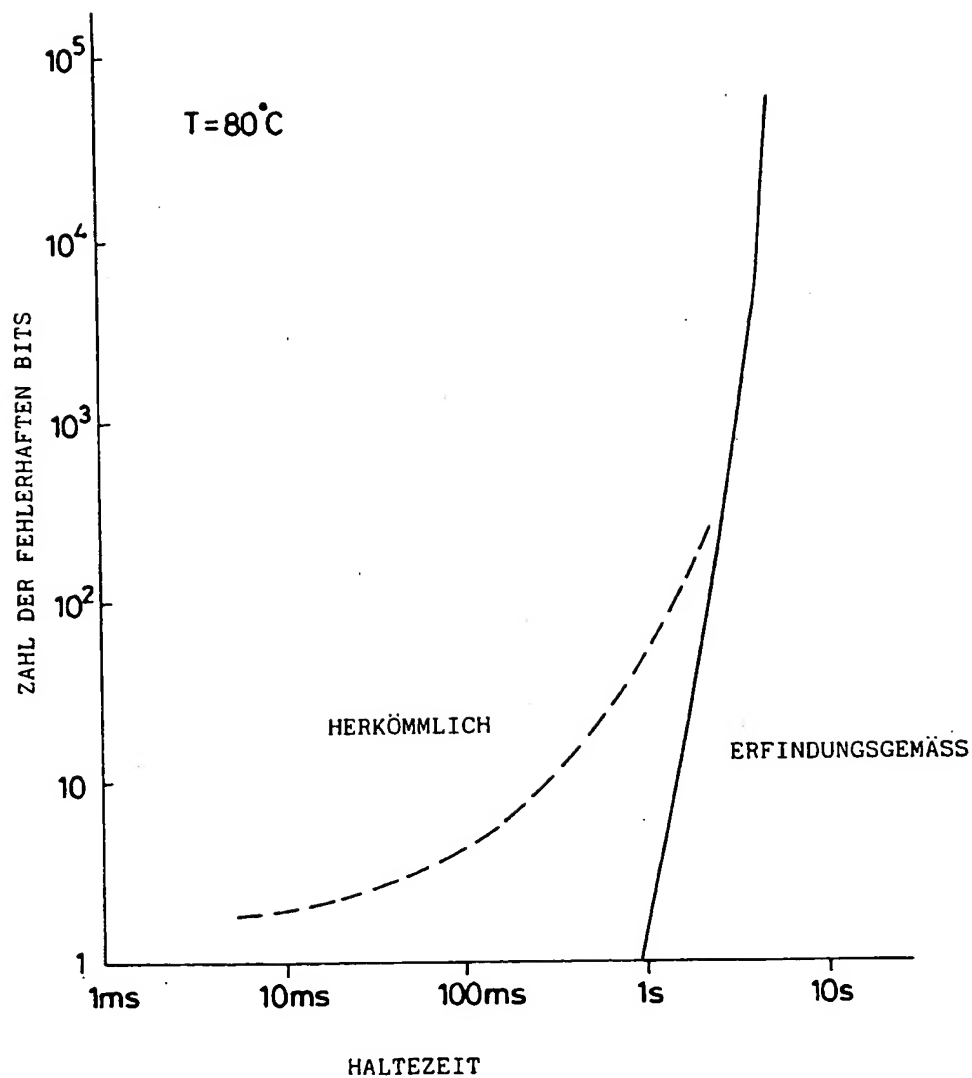


FIG.13

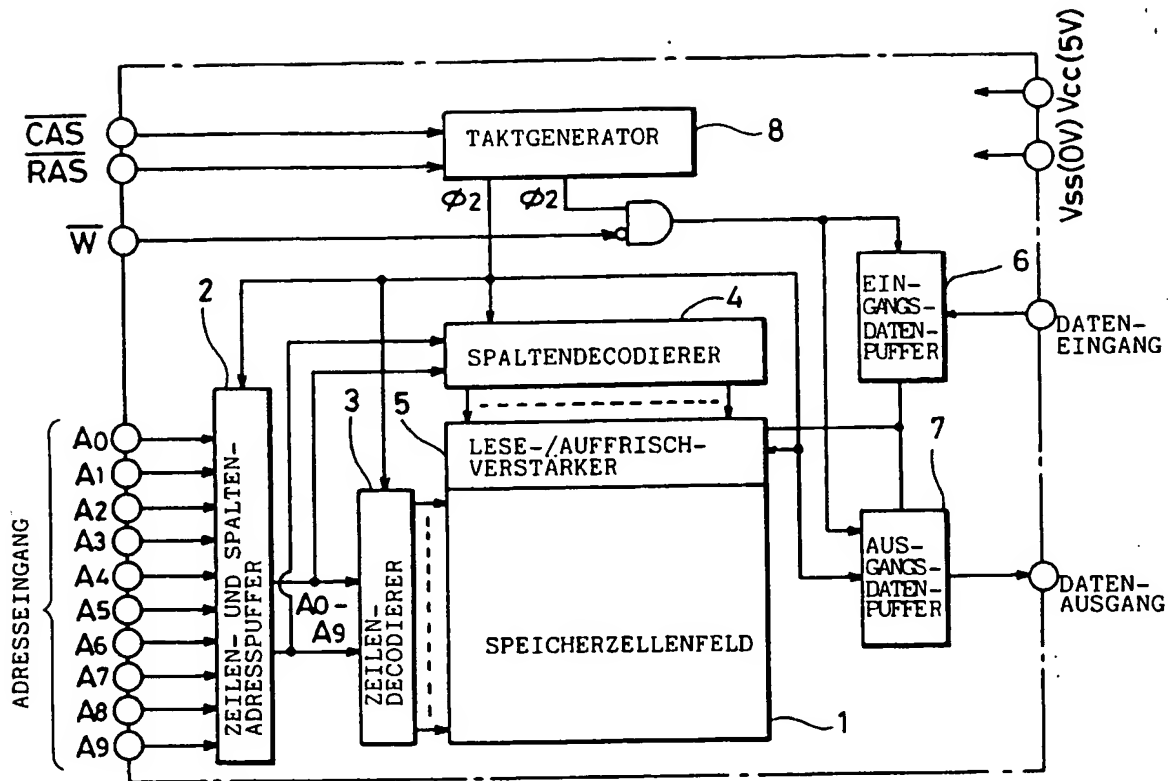


FIG. 14

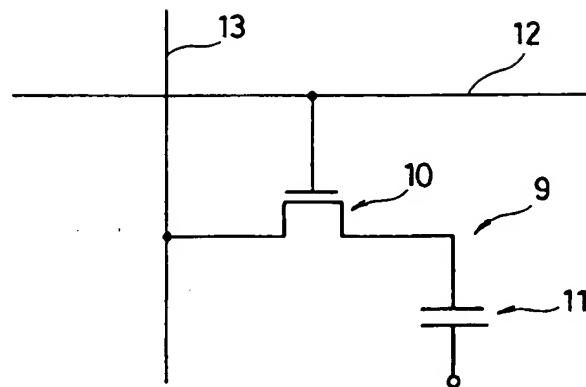
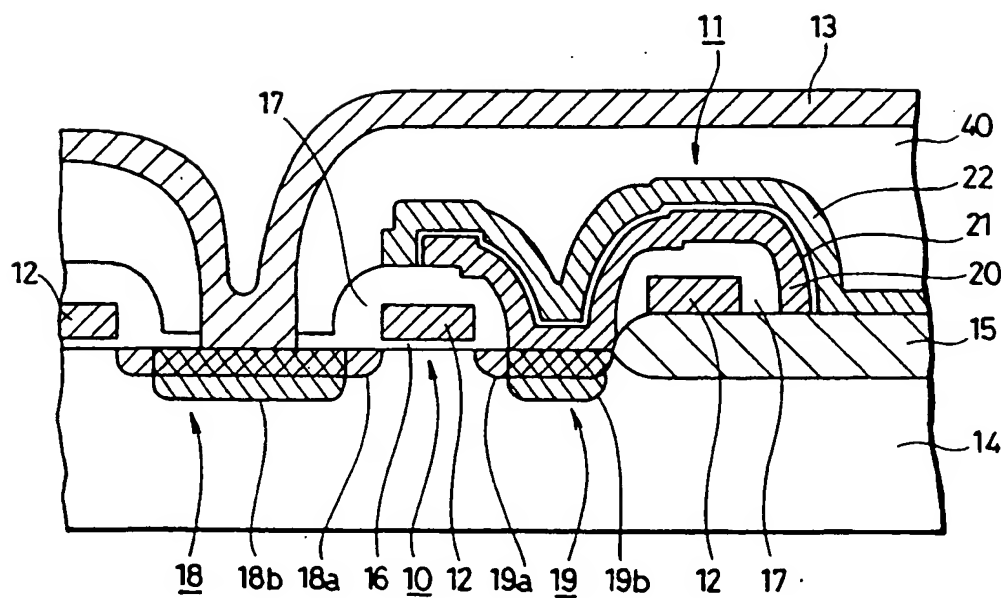


FIG.15



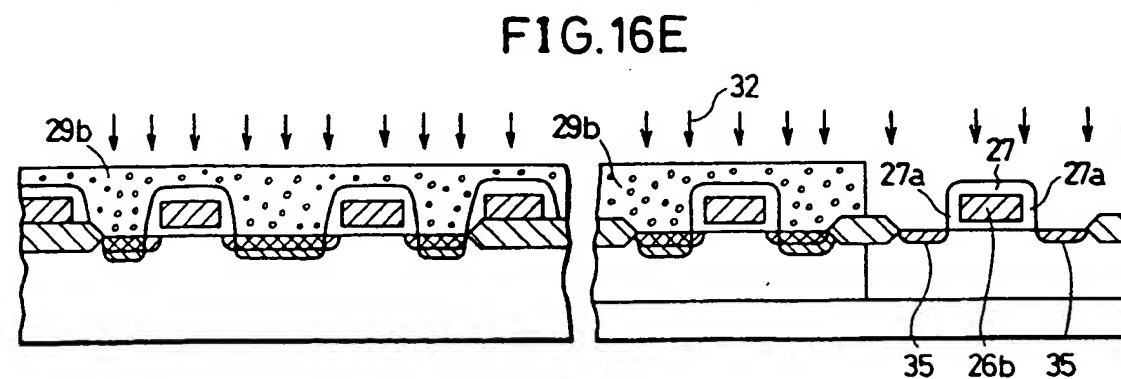
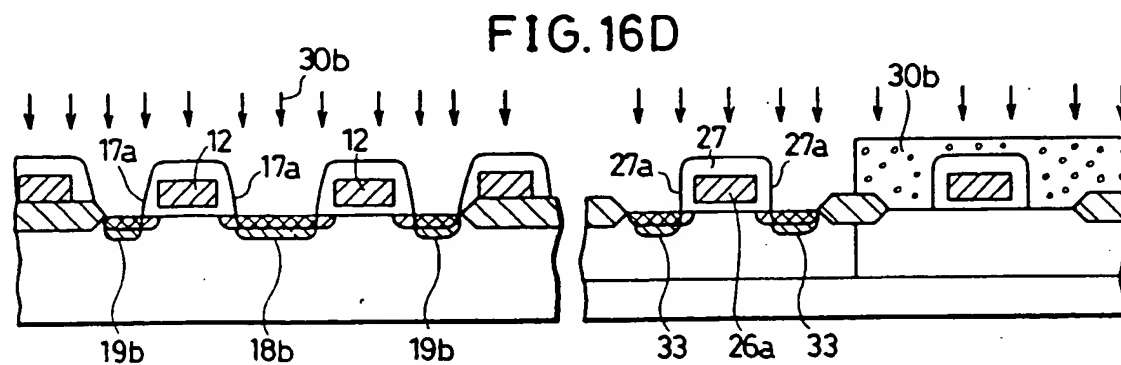
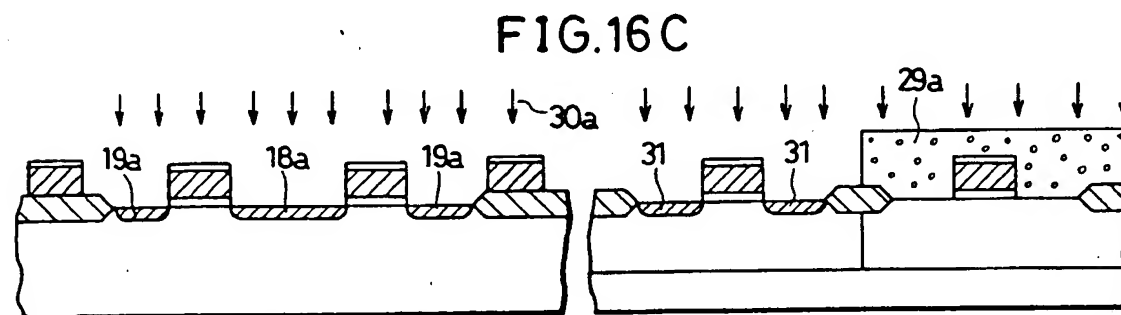
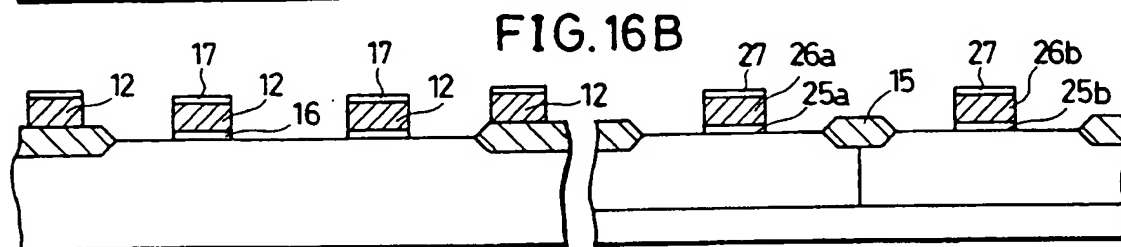
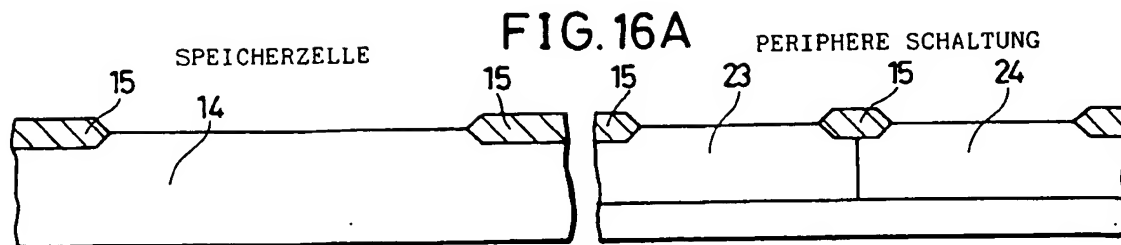


FIG.16F

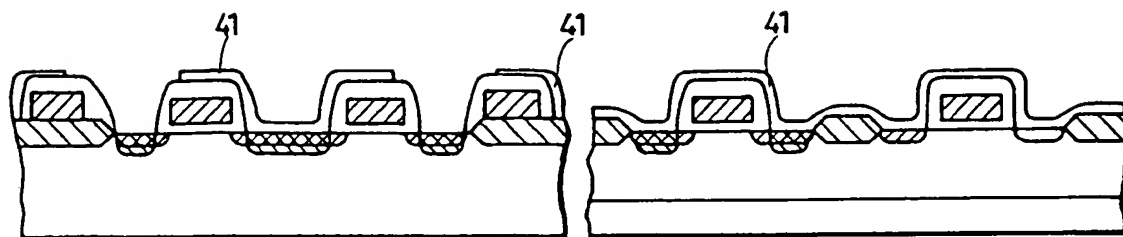


FIG.16G

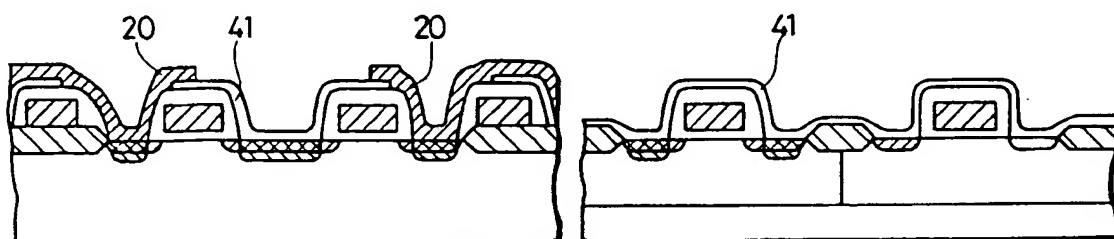


FIG.16H

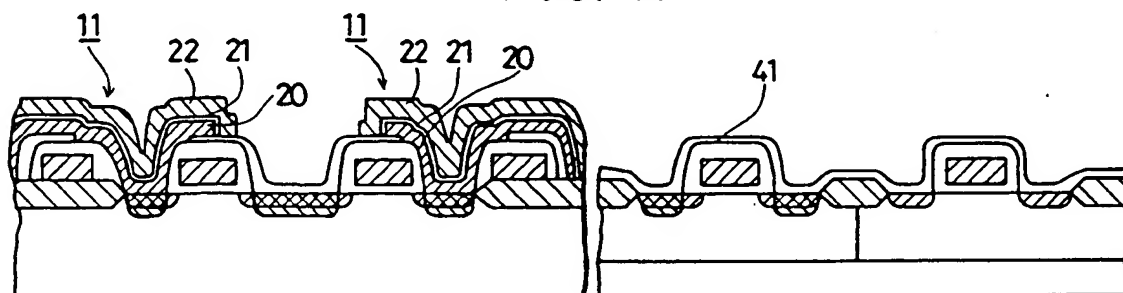


FIG.16I

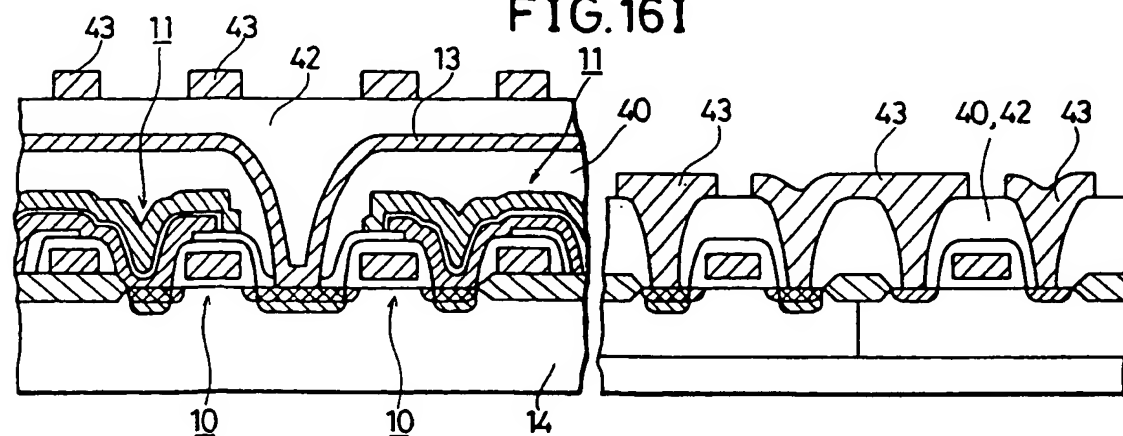


FIG. 17

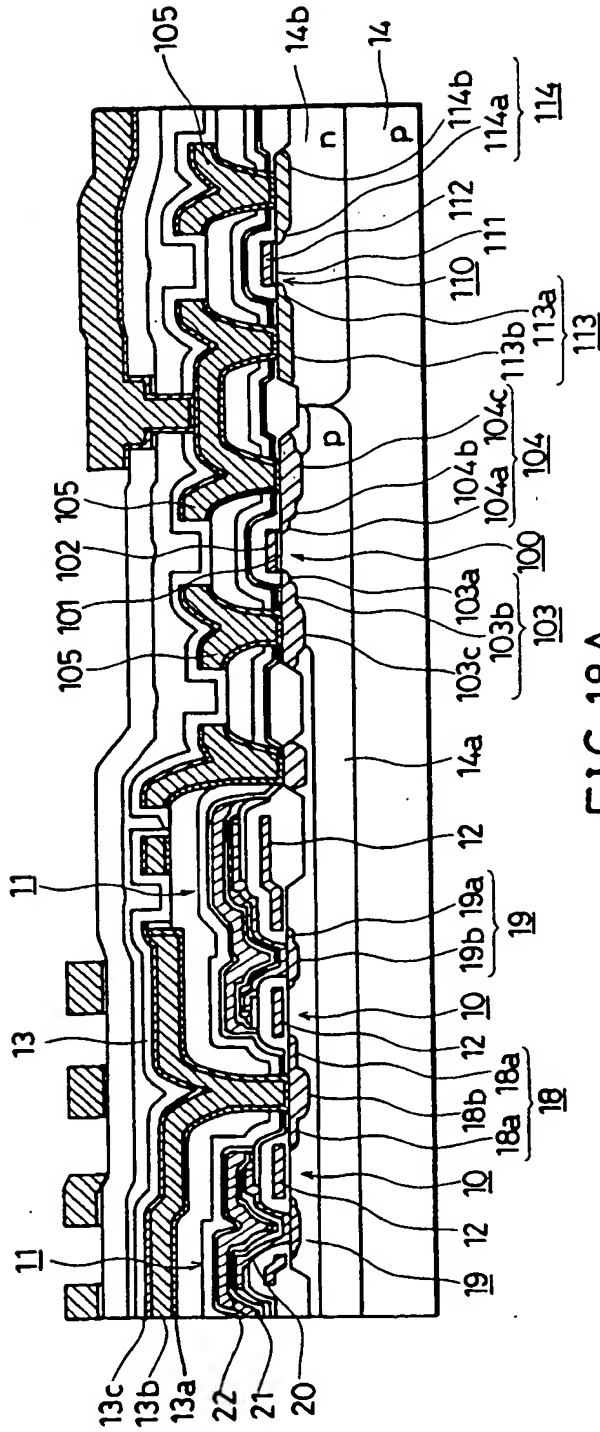


FIG. 18A

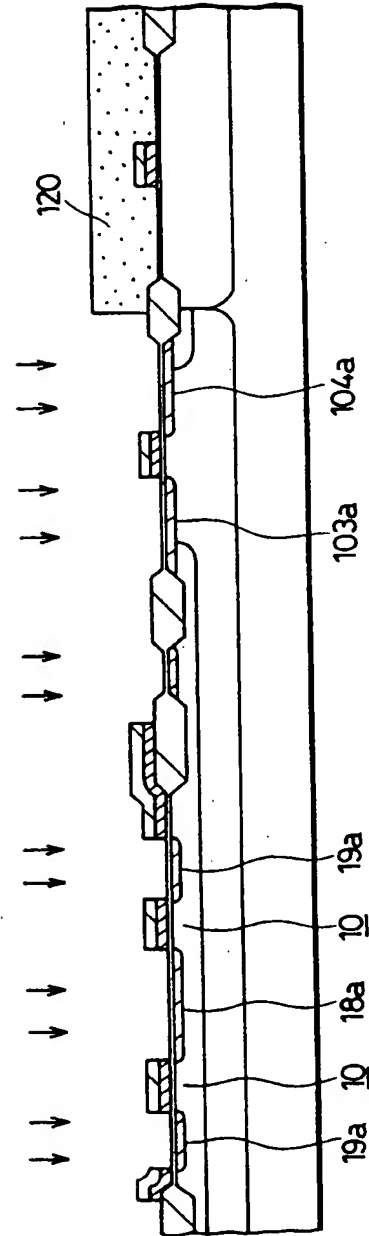


FIG. 18B

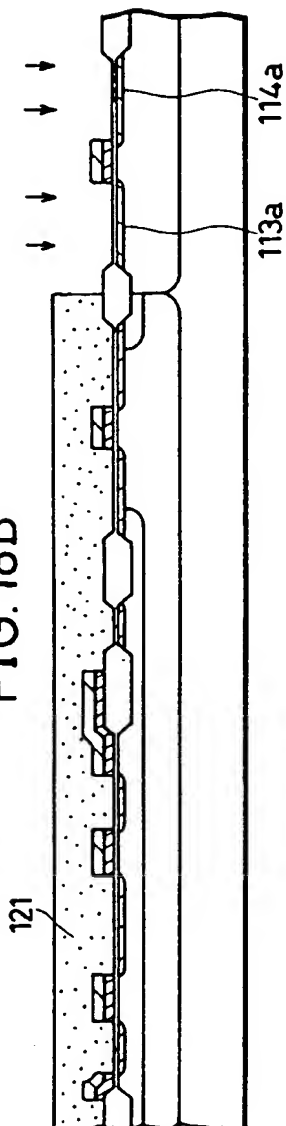


FIG. 18C

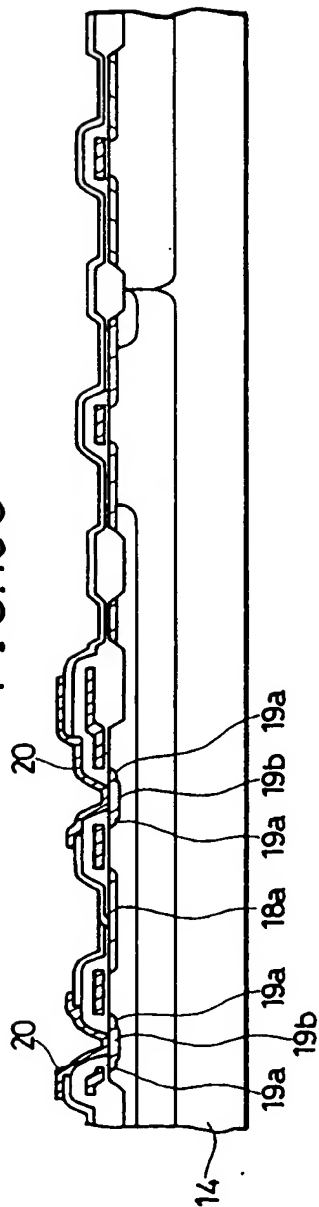


FIG. 18D

